

# JEITA

電子情報技術産業協会規格

Standard of Japan Electronics and Information Technology Industries Association

***JEITA EM-3603B***

**SOI ウェーハの規格と標準測定方法**

**Standard of SOI wafers and metrology**

JEITA半導体部会 シリコン規格管理小委員会の終息に伴い、本規格は  
2016年3月（平成28年3月）をもって廃止されました。  
シリコン規格管理小委員会の活動記録として公開するものです。

2003年9月制定

2006年6月改正

2016年3月廃止

作 成

シリコン技術委員会

Silicon Technologies Committee

電子材料標準化委員会

Technical Standardization Committee on Electronic Materials

発 行

社団法人 電子情報技術産業協会

Japan Electronics and Information Technology Industries Association



## 目 次

	ページ
まえがき	1
1. 適用範囲	1
2. 引用規格	1
3. SOI ウェーハの規格	3
200mmφSOI ウェーハの規格	3
300mmφSOI ウェーハの規格	3
4. 標準測定方法	6
4.1 膜厚 (SOI/BOX)	6
4.1.1 測定方法	6
4.1.2 計量基準及び基準測定器	7
4.1.3 測定領域及び測定点数 (測定位置)	8
4.1.4 規格値	8
4.1.5 その他	9
4.2 SOI エッチピット	9
4.2.1 測定方法	9
4.2.2 測定領域及び測定点数	10
4.3 HF 欠陥	11
4.3.1 測定方法	11
4.3.2 計量基準	11
4.3.3 測定領域及び測定点数	11
4.4 ボイド	11
4.4.1 定義	11
4.4.2 目視法	12
4.4.3 光散乱式パーティクルカウンタを用いる方法	12
4.4.4 反射分光式膜厚測定機を用いる方法	13
4.4.5 明視野欠陥検査装置を用いる方法	13
4.4.6 推奨される測定方法	13
4.5 パーティクル	13
4.5.1 光散乱法	13
4.6 汚染	16
4.6.1 化学分析における試料の前処理	16
4.6.2 フレームレス原子吸光分析 (AAS)	17
4.6.3 誘導結合プラズマ質量分析 (ICP-MS)	18
4.6.4 全反射蛍光 X 線分析 (Total X-Ray Fluorescence Spectroscopy : TXRF)	19
4.6.5 マイクロ波光導電減衰法 (Microwave Photoconductivity Decay : $\mu$ -PCD)	20

4.7 Warp	21
4.7.1 測定方法	21
4.7.2 計量基準	22
4.8 BOX ピンホール	22
4.8.1 測定方法	22
4.8.2 銅電析法	22
4.8.3 MOS キャパシタ構造を利用した I-V 特性測定	23
4.9 BOX 耐圧	25
4.9.1 測定方法	25
4.9.2 測定原理	25
4.9.3 測定条件及び留意点	25
4.9.4 測定領域及び測定点数	26
4.9.5 その他	26
4.10 平坦度測定	26
4.10.1 測定方法	26
4.10.2 測定原理	27
4.10.3 注意点	28
4.11 ラフネス	28
4.11.1 AFM (原子間力顕微鏡 : Atomic Force Microscope)	28
解 説	31

## 電子情報技術産業協会規格

## SOI ウェーハの規格と標準測定方法

## Standard of SOI wafers and metrology

## まえがき

SOI は伝統的な高耐圧・パワーデバイスに加え、PC やゲーム機の MPU および低消費電力デバイス等のハイエンド品にその用途を広げつつある。さらに各種の技術ロードマップの示すところによれば、今後ますますその重要性が増すことは必須である。社団法人電子情報技術産業協会（以下、JEITA という。）SOI ウェーハ関連技術専門委員会では、ウェーハメーカとデバイスメーカ及び関係する評価・測定装置メーカー間の意思の疎通を図り、SOI 技術の普及・発展に寄与すべく種々の活動を行ってきた。なかでも標準化活動は、限りある資源を有効に使い、わが国の産業の発展に大きく貢献する最重要の事業である。同時に、タイムリーかつ有効な標準の策定のためには、絶え間ない技術および市場動向の調査と、技術的課題の抽出およびその解決法の提案が不可欠である。SOI は技術革新のスピードが特に速い技術である。またその構造の特殊性ゆえ、評価・測定技術に他にないブレークスルーを要する場合が多い。それゆえに意味のある標準の制定のためには、時に持ちまわり測定による技術開発を要する場合もある。本標準も、以上の多面的な委員会活動の成果として制定され、改正を重ねてきた。

SOI の標準はまず 1996 年 3 月に本委員会の前身である社団法人日本電子工業振興協会（以下、JEIDA という。）の多層集積技術専門委員会の委員会活動に基づいて **JEIDA-50-1996** として制定され、1998 年 9 月に改正されて規格 **JEIDA-50-1998 SOI ウェーハ標準仕様** となった。さらにその後の技術進展に伴い **JEIDA-50-1998** の全面的な見直しが行われ、いったん同標準は廃止された上 COMS 用途の薄膜 SOI の標準が 2003 年 9 月に **JEITA EM-3603 SOI ウェーハの規格と標準測定方法** として、高耐圧・パワーデバイス用途の標準が **JEITA EM-3604 厚膜 SOI ウェーハ標準仕様** として 2005 年 6 月に発行された。さらに、**JEITA EM-3603** は 2005 年 6 月に TSC-15（工業所有権等に係わる標準化手続きの指針）に基づく改訂が加えられて、**JEITA EM-3603A** となり現在に至る。本規格は **JEITA EM-3603A** に、さらに最近の技術の進展にあわせた改訂を加えるものがある。

## 1 適用範囲

この規格は、MOS デバイス向け薄膜 SOI ウェーハの規格と標準測定方法について規定する。

## 2 引用規格

次に掲げる規格は、この規格に引用されることによって、この規格の規定の一部を構成する。これらの引用規格は、その最新版（追補を含む）を適用する。

**JEITA EM-3505** AFM における 1nm オーダの高さ構成法

**SEMI M1** SPECIFICATIONS FOR POLISHED MONOCRYSTALLINE SILICON WAFERS

**SEMI MF 523-02** Practice for Unaided Visual Inspection of Polished Silicon Wafer Surfaces

- SEMI MF 657-0705** Test Method for Measuring Warp and Total Thickness Variation on Silicon Wafers by Noncontrast Scanning
- SEMI MF 1188-93a** Standard Test Method for Interstitial Atomic Oxygen Content of Silicon by Infrared Absorption with Short Baseline
- SEMI MF 1390-1104** Test Method for Measuring Warp on Silicon Wafers by Automated Non-Contact Scanning
- SEMI MF 1391-0704** Test Method for Substitutional Atomic Carbon Content of Silicon by Infrared Absorption
- SEMI MF 1771-0304** Test Method for Evaluating Gate Oxide Integrity by Voltage Ramp Technique

### 3 SOI ウェーハの規格

SOI ウェーハの適用範囲及び仕様は、表 1 及び表 2 による。

表 1-200mmφ SOI ウェーハ

#### CMOS LSI 用 SOI ウェーハ

##### 適用範囲

項目	適用範囲	備考
ウェーハ径	200mm	
SOI 層厚さ	20 nm~200nm	
エッジ除外幅	3mm	
伝導型 (SOI 層)	P or N-type	
ドーパント (SOI 層)	ボロン又はリン	
ドーパント濃度 (SOI 層)	B : <math> < 1.4E16 \text{ atoms/cm}^3 </math> 又は P : <math> < 4.8E15 \text{ atoms/cm}^3 </math>	抵抗率 (SOI) > 1 Ωcm
BOX 層厚さ	50 nm~200nm	

##### 仕様

項目	規格		
SOI 層	SIMOX	貼合せ	測定方法 (推奨)
厚さ (平均値)	≒ ±5%か ≒ ±2nm の大きい方		分光エリプソメトリ 分光反射率法
厚さ (面内ばらつき)	≒ ±5%か ≒ ±2nm の大きい方		分光エリプソメトリ 分光反射率法
結晶方位	(100) ± 1°		X 線回折法
アライメント精度	NA	<math> < \pm 1^\circ </math>	
SOI 層端幅	NA	<math> < 3\text{mm} </math>	
SOI エッチピット	<math> < 2E5/\text{cm}^2 </math>		選択化学エッチング法
HF 欠陥	<math> < 0.3/\text{cm}^2 </math> [Tsoi > 50nm] <math> < 0.5/\text{cm}^2 </math> [Tsoi > 20nm]		HF エッチング法
ボイド (>1mm)	無きこと		光学検査
ラフネス (RMS@2×2 μm)	<math> < 0.3\text{nm} </math>	<math> < 0.2\text{nm} </math>	AFM
ラフネス (RMS@10×10 μm)	<math> < 0.7\text{nm} </math>	<math> < 0.5\text{nm} </math>	AFM
表面金属汚染 Fe, Ni, Cr, Cu	<math> < 1E10/\text{cm}^2 </math> (各元素)		AAS/ICP-MS TXRF
LPD (>最小径)	≒ 250 [ @ ≒ 0.13 μm ]		光散乱法
スクラッチ	無きこと		光散乱法
ヘイズ	無きこと		光学検査
スリップ	無きこと		光学検査
酸素濃度			
炭素濃度			

表 1-200mmφ SOI ウェーハ (続き)

## CMOS LSI 用 SOI ウェーハ (200mmφ)

BOX 層	SIMOX	貼合せ	測定方法 (推奨)
厚さ (面内ばらつき)	$\leq \pm 5\%$		分光エリプソメトリ 分光反射率法
BOX ピンホール	<0.3/cm <sup>2</sup> [>130nm]	<0.1/cm <sup>2</sup> [>100nm]	MOS キャパシタ法/水銀プロブ法 Cu 電析法
BOX 絶縁耐圧	>4MV/cm@1mm <sup>2</sup> [>100nm]	>6MV/cm@1mm <sup>2</sup> [>100nm]	MOS キャパシタ法/水銀プロブ法 (TZDB)
比誘電率			
界面ラフネス			

支持基板	SIMOX	貼合せ	測定方法 (推奨)
エッジチップング	無きこと		光学検査
エッジクラック	無きこと		光学検査
Foreign Matter	無きこと		光学検査
酸素濃度	母材基板に同じ		SEMI MF 1188-93a
炭素濃度	母材基板に同じ		SEMI MF 1391-93

ウェーハ裏面	SIMOX	貼合せ	測定方法 (推奨)
メタル汚染 (裏面) Fe, Ni, Cr, Cu	$< 1E11/cm^2$ for each atom		AAS/ICP-MS TXRF

機械的特性	SIMOX	貼合せ	測定方法 (推奨)
反り	$< 40\mu m$		SEMI MF 1390
厚さ (面内ばらつき) (GBIR=TTV)	$< 3\mu m$		
フラットネス-サイト	母材基板に同じ	母材基板に同じ	静電容量法
SFQR	母材基板に同じ	母材基板に同じ	静電容量法
SFQR-PUA	母材基板に同じ	母材基板に同じ	静電容量法



表 2-300mmφ SOI ウェーハ

## CMOS LSI 用 SOI ウェーハ

## 適用範囲

項目	適用範囲	備考
ウェーハ径	300mm	
SOI 層厚さ	20 nm~200nm	
エッジ除外幅	3mm	
伝導型 (SOI 層)	P or N-type	
ドーパント (SOI 層)	ボロン又はリン	
ドーパント濃度 (SOI 層)	B : <math>< 1.4E16 \text{ atoms/cm}^3</math> 又は P : <math>< 4.8E15 \text{ atoms/cm}^3</math>	抵抗率 (SOI) > 1Ω cm
BOX 層厚さ	50 nm~200nm	

## 仕様

項目	規格		
SOI 層	SIMOX	貼合せ	測定方法 (推奨)
厚さ (平均値)	$\leq \pm 5\%$ か $\leq \pm 2\text{nm}$ の大きい方		分光エリプソメトリ 分光反射率法
厚さ (面内ばらつき)	$\leq \pm 5\%$ か $\leq \pm 2\text{nm}$ の大きい方		分光エリプソメトリ 分光反射率法
結晶方位	(100) $\pm 1^\circ$		X 線回折法
アライメント精度	NA	$< \pm 1^\circ$	
SOI 層端幅	NA	$< 3\text{mm}$	
SOI エッチピット	$< 2E5/\text{cm}^2$		選択化学エッチング法
HF 欠陥	$< 0.3/\text{cm}^2$ [Tsoi > 50nm] $< 0.5/\text{cm}^2$ [Tsoi > 20nm]		HF エッチング法
ポイド (>1mm)	無きこと		光学検査
ラフネス (RMS@2×2μm)	$< 0.3\text{nm}$	$< 0.2\text{nm}$	AFM
ラフネス (RMS@10×10μm)	$< 0.7\text{nm}$	$< 0.5\text{nm}$	AFM
表面金属汚染 Fe, Ni, Cr, Cu	$< 1E10/\text{cm}^2$ (各元素)		AAS/ICP-MS TXRF
LPD (>最小径)	$\leq 500$ [ @ $\geq 0.13\mu\text{m}$ ]		光散乱法
スクラッチ	無きこと		光散乱法
ヘイズ	無きこと		光学検査
スリップ	無きこと		光学検査
酸素濃度			
炭素濃度			

表 2-300mmφ SOI ウェーハ (続き)

## CMOS LSI 用 SOI ウェーハ (300mm φ)

BOX 層	SIMOX	貼合せ	測定方法 (推奨)
厚さ (面内ばらつき)	≒ ± 5%		分光エリプソメトリ 分光反射率法
BOX ピンホール	<0.3/cm <sup>2</sup> [>130nm]	<0.1/cm <sup>2</sup> [>100nm]	MOS キャパシタ法/水銀プロブ法 Cu 電析法
BOX 絶縁耐圧	>4MV/cm@1mm <sup>2</sup> [>100nm]	>6MV/cm@1mm <sup>2</sup> [>100nm]	MOS キャパシタ法/水銀プロブ法 (TZDB)
比誘電率			
界面ラフネス			

支持基板	SIMOX	貼合せ	測定方法 (推奨)
エッジチップング	無きこと		光学検査
エッジクラック	無きこと		光学検査
Foreign Matter	無きこと		光学検査
酸素濃度	母材基板に同じ		SEMI MF 1188-93a
炭素濃度	母材基板に同じ		SEMI MF 1391-93

ウェーハ裏面	SIMOX	貼合せ	測定方法 (推奨)
メタル汚染 (裏面) Fe, Ni, Cr, Cu	<1E11/cm <sup>2</sup> for each atom		AAS/ICP-MS TXRF

機械的特性	SIMOX	貼合せ	測定方法 (推奨)
反り	<60μm		SEMI MF 1390
厚さ (面内ばらつき) (GBIR=TTV)	<3μm		
フラットネス-サイト	母材基板に同じ	母材基板に同じ	静電容量法
SFQR	母材基板に同じ	母材基板に同じ	静電容量法
SFQR-PUA	母材基板に同じ	母材基板に同じ	静電容量法

## 4 標準測定方法

## 4.1 膜厚 (SOI/BOX)

## 4.1.1 測定方法

この規格では、分光エリプソメトリ法及び反射分光法を規定する。ただし、実際の測定に際し、あらかじめ準備した測定基準試料を用いた校正を行い、その計測値の信頼性を十分確認した上で実施する。

- a) 分光エリプソメトリ 図 2 に示すように、単色光を偏光子で直線偏光とした後、試料に照射する。楕円偏光となった反射光を、検光子と分光器に通し、最後は検知器によって振幅反射比 ( $\tan \phi$ ) と位相差 ( $\cos \Delta$ ) を測定する。一方で、多層膜構造、各層の複素誘電関数、膜厚を順次仮定しながら、理論的に

$$(\tan \phi)(\cos \Delta)$$

を計算し、測定値と最近似する膜厚を求める。

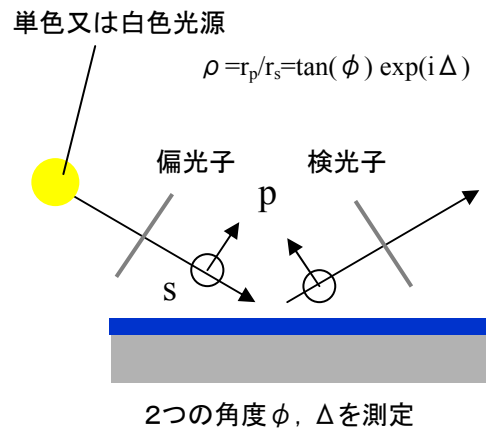


図 2—分光エリプソメトリ

- b) **反射分光法** 図 3 に示すように、白色光を SOI 基板に照射し、波長分光後、反射光の強度を測定する。SOI 基板に入射した光は、SOI 層の表面及び埋め込み酸化膜の表面と裏面で反射が生じる。このとき位相も変化する。最終的に SOI 層表面から反射される光の強度は各領域で反射された光の和となるが、SOI 層及び埋め込み酸化膜の厚さによって光路差が生じ、波長に応じた位相差が現れる。その結果、波長に依存した反射光強度が得られるが、この反射分光特性とあらかじめシミュレーションによって算出しておいた理論分光特性を比較し、その一致点を求めることによって各層厚を算出する。

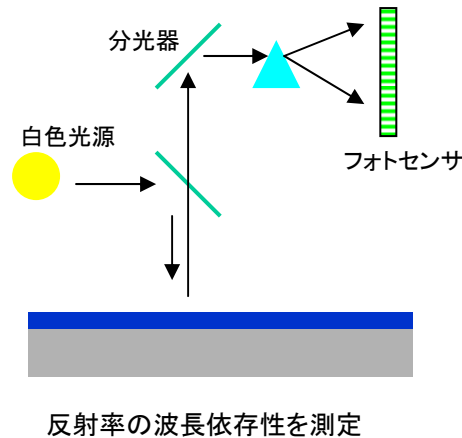


図 3—反射分光法分析

#### 4.1.2 計量基準及び基準測定器

測定装置のハードウェアとしての校正は、NIST などの標準機関によって絶対値（信頼性）が保証された標準試料（酸化シリコン膜[単層]／シリコンウェーハ）を用いて行う。さらに、被測定対象と同じ SOI/BOX 膜厚構成における計測値の精度を保証するため、SOI/BOX 膜厚均一性に優れた SOI ウェーハ（片）試料を準備し、これを計量基準と定める。膜厚測定の日常管理には、この計量基準を用いる。可能であれば、異なる複数種の計量基準を用意することが望ましい。計量基準の SOI/BOX 膜厚値は、透過型電子顕微鏡（TEM）の測長値によって決定することが望ましいが、非破壊（ウェーハ単位）測定を行う装置の管理に

用いる計量基準 (SOI ウェーハ) は、分光エリプソメトリ法膜厚測定装置 (波長分解能: <math>< 0.07\text{nm}@313\text{nm}</math>,  $\tan \phi$  及び  $\cos \Delta : 1.000 \pm 0.010 @ \text{Straight line}$  を満たすもの) 又はこれと同等性能 (例えば, NIST 標準試料 (酸化膜厚 = 100nm) に対し  $\pm 1\%$  を満たすなど代替特性での性能を含む) をもつ反射分光法膜厚測定装置を基準測定器と定め、これによって SOI/BOX が同時計測された膜厚値を用いる。

#### 4.1.3 測定領域及び測定点数 (測定位置)

測定領域は、この規格で規定しているエッジ除外領域を除いた全領域を対象とするが、測定器のプロープ径に起因するウェーハエッジ部での測定精度に問題がある場合及び測定速度上離散点測定しかできない場合には、次の測定点に計測プローブの中心を置いた上での離散点測定を認める。

- 1) ウェーハ中心点
- 2) ウェーハ端から 10mm 内側の同心円に内接する正多角形の各頂点
- 3) あらかじめ定めた半径をもつ同心円に内接する正多角形の各頂点

なお、この場合、測定点数の規定は行わないが、可能な限り多点であることが望ましい。5 点 / 9 点 / 13 点 / 25 点を選択した場合の測定位置は、図 4 に従う。

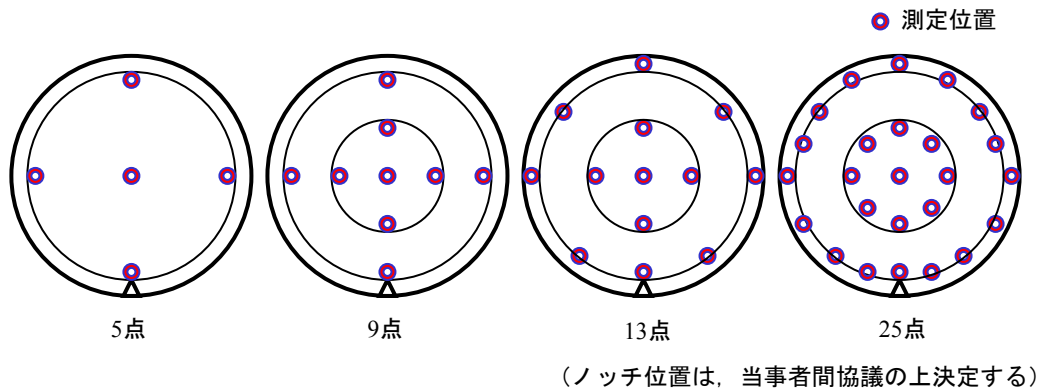


図 4—測定点

#### 4.1.4 規格値

膜厚 (SOI/BOX) に関する規格値は、あらかじめ定められた点数の測定データに基づいて次に示す [第 1 法] 平均値と標準偏差又は [第 2 法] 平均値とレンジに対して規定するものであり、これらのうち、いずれかの方法を当事者間協議の上設定する。

[第 1 法] 平均値  $m$  / 標準偏差  $\sigma$

- ・ 平均値  $m$  に関する許容範囲  $\Delta \%$   

$$T \cdot (100 - \Delta\%) / 100 < m < T \cdot (100 + \Delta\%) / 100$$
- ・ 標準偏差  $\sigma$  に関する許容範囲  $\Delta \%$   

$$T \cdot \Delta\% / 100 > 3 \cdot \sigma$$

[第 2 法] 平均値  $m$  / レンジ  $R$

- ・ 平均値  $m$  に関する許容範囲  $\Delta \%$   

$$T \cdot (100 - \Delta\%) / 100 < m < T \cdot (100 + \Delta\%) / 100$$
- ・ レンジ (Range)  $R$  に関する許容範囲  $\Delta \%$   

$$T \cdot \Delta\% / 100 > R$$

ここに、 T : 目標膜厚 (nm)  
n : 測定点数

なお、[第3法] 及び [第4法] で算出した値に対し、規格を設定することも可能であるが、この規格では参考記述に留める。

#### [第3法]

- ・ 平均値  $m$ 、標準偏差  $\sigma$  双方に関する許容範囲  $\Delta\%$

$$T \cdot (100 - \Delta\%) / 100 < m - 3 \cdot \sigma$$

$$m + 3 \cdot \sigma < T \cdot (100 + \Delta\%) / 100$$

#### [第4法]

- ・ 全測定値  $X_i$  ( $i=1, n$ ) に関する許容範囲  $\Delta\%$

$$T \cdot (100 - \Delta\%) / 100 < X_i < T \cdot (100 + \Delta\%) / 100$$

### 4.1.5 その他

貼合せ SOI ウェーハの膜厚測定に関しては、酸化膜形成時の酸化膜厚測定値を BOX 厚として代用できる場合がある（ウェーハ面内での BOX 厚ばらつきに対する SOI 厚の測定値変動幅 (p-v) が中央値の 2% 以下に収まる場合）。このとき、BOX 厚（代表値）の決定方法は、5.1.3 測定領域及び測定点数（測定位置）の規定に準じて膜厚測定を行う。

## 4.2 SOI エッチピット

### 4.2.1 測定方法

SOI エッチピットの密度計測は、選択エッチング法及び光学顕微鏡の密度計測によって行う。評価用の試料は、少なくとも 1/4 片を用いる。

試料評価前にオキサイドが SOI ウェーハ表面にある場合は、HF 液に漬けてオキサイドを取り除く。SOI 表面の異物による選択エッチング後の計測密度のばらつきを少なくするために、選択エッチングを開始する直前のウェーハは、十分きれいな状態にしておく必要がある（例えば、選択エッチング前に SC-1 洗浄を行う）。その後試料は、次によって選択エッチングする。

選択エッチング液としては、次の 3 種類を使用する。

#### 1) 標準セコエッチ液

蒸留水に溶かした 0.15 の  $K_2Cr_2O_7$  のモル溶液 1 (体積比) + HF (49%) 1

#### 2) 希釈セコ的一种

50ml の HF (49%) + 80ml の  $HNO_3$  (61%) + 160ml の  $H_2O$  [ $K_2Cr_2O_7$  1g +  $Cu(NO_3)_2 \cdot 3H_2O$  4g]

#### 3) 希釈 IT の一种 2)

1ml の HF (49wt%) + 15ml の  $HNO_3$  (61wt%) + 6ml の  $CH_3COOH$  (99.7wt%) + 6ml の  $H_2O$  + 0.067ml の KI (0.1 モル(16.6g/11H<sub>2</sub>O))

**注<sup>2)</sup>** P32 : 箇条 5 工業所有権に関する取り扱い参照

選択エッチングでの SOI 層取代及び残膜厚に関しては、選択エッチ前の SOI 層膜厚を基準にして次のように決める。

- 1) SOI 層膜厚が 100nm 以上の場合、選択エッチング後の SOI 層膜厚は 30nm から 50nm の範囲とする。
- 2) SOI 層膜厚が 50nm~100nm の場合、選択エッチング前の SOI 層膜厚の半分以上を選択エッチングによってエッチングしなければならない。このときの SOI 層の残膜厚は 20nm から 50nm の範囲とする。
- 3) SOI 層膜厚が 50nm 未満の場合、選択エッチング前の SOI 層膜厚の半分以上を選択エッチングによ

ってエッチングしなければならない。このときの SOI 層の残膜厚は 10nm から 25nm の範囲とする。

なお、SOI 層の残膜厚の制御性を高めるには、前述のエッチング液の中からエッチングレートの遅い 2) 又は 3) の選択エッチング液を推奨する。

SOI 層を選択エッチングし、水でリンスした後、試料は 1 分間以上 HF (49%) に漬ける。HF は埋め込みオキサイドをエッチングしエッチピットの下に空洞を発生させる。この空洞の数を光学顕微鏡で計測することによって SOI エッチピットの密度を計測する。なお、選択エッチング後の SOI 層厚さが 25nm 以下になる場合、HF による Si エッチングの影響が無いことを確かめ、場合によっては 49% Conc. HF を希釈して調整する。

#### 4.2.2 測定領域及び測定点数

エッチピットは 50~500 倍の倍率 (推奨 50 倍) で、少なくとも中心近傍、中心から半径の半分、外周近傍を測定する。

エッチピットを計測するときに計測位置を指定するためテンプレートが用いられることが多い。ウェーハを割らずに計測する場合と 1/4 に分割して計測する場合の直径 200mm ウェーハのテンプレートを、参考として図 5 及び図 6 に示す。直径 300mm ウェーハの場合は、これに倣って中心近傍、中心から半径の半分、外周近傍を測定する。

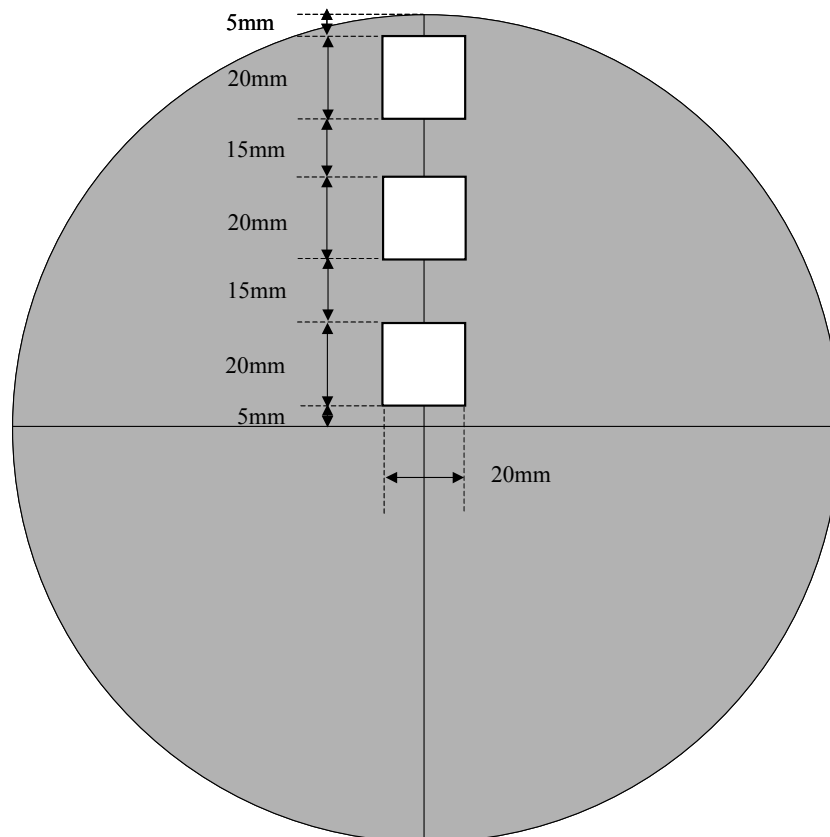


図 5—ウェーハを割らない場合

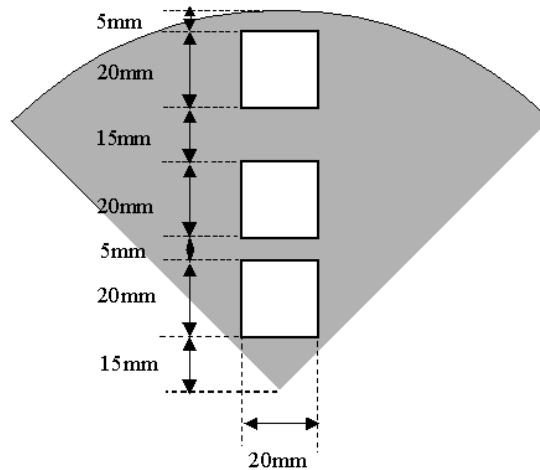


図 6-1/4 に分割する場合

図 5 及び図 6 のテンプレートを使用して計測する場合、各正方形の 4 頂点、計 12 点で計測する。各計測点でのエッチピット密度を算出し、その合計を計測点数で割った平均値を SOI エッチピット密度とする方法もある。

### 4.3 HF 欠陥

#### 4.3.1 測定方法

HF 欠陥とは、HF エッチングによって顕在化する SOI 層の欠陥の総称である。評価用の試料は、ウェーハ全面又は少なくとも 1/4 を用いる。試料を約 50wt%HF 液に 10～15 分又は約 25wt%HF 液に 3～4 時間浸漬させ、水洗リンス後、乾燥させる。この過程で、SOI 層表面に BOX が剥き出しになったボイドや酸化物、HF に可溶性金属及びシリサイドが SOI 層表面と BOX を短絡する位置に存在した場合、HF 液はこれらの欠陥を通じてその直下の BOX を溶解する。その大きさは、HF 液の濃度、浸漬時間に依存するが、直径が 20 $\mu$ m～100 $\mu$ m となり、光学顕微鏡で容易に観察される。

#### 4.3.2 計量基準

HF エッチング後の直径 20 $\mu$ m～100 $\mu$ m のものを HF 欠陥として数える。光学顕微鏡は、 $\times 50$ ～ $\times 200$  程度の倍率（対物レンズ $\times$ 接眼レンズ）、微分干渉式を推奨する。

HF 欠陥密度の計算には、次の二つの方法がある。

- 1) HF 欠陥計測個数を全計測面積で割り、密度で表示する。
- 2) HF 欠陥の分布が一様でない場合を考慮し、計測面積をいくつかの領域に分割し、それぞれの領域での密度を求める。

いずれの場合でも、規格値を満たす必要がある。

#### 4.3.3 測定領域及び測定点数

規格に定められたエッジ除外領域を除いたウェーハ全面又は少なくとも 1/4 領域をスキャンすることを推奨する。

### 4.4 ボイド

#### 4.4.1 定義

貼合せ界面の空隙ではなく、SOI ウェーハ出荷時点で肉眼で検知されるものであって、図 7 に示すように、SOI 層が欠落して BOX 層が表面に露出しているもの又は SOI 層と BOX 層の一部も欠落して支持基板のシリコン表面が露出しているものである。いずれの場合においても、図 7 に示すように、SOI 層の欠落

部分の大きさをボイドの大きさとする。欠落部分の形が円形の場合は、直径に相当する距離をボイドの大きさとするが、不定形の場合は最大長手方向の距離又は平均の直径に相当する距離をボイドの大きさとする。欠落の面積に相当する欠陥サイズをボイドとして測定できる装置においては、その測定方法（装置）におけるボイドの大きさとする。

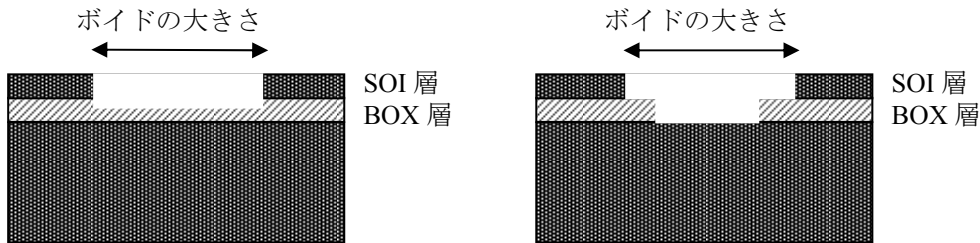


図7—ボイドの定義

**注記** JEIDA-50-1998 では、ボイドは「Si と酸化膜界面が解離して空隙が発生しているものを指し、接着強度テストによる剥離とは区別する」と定義されていた。評価法については、赤外干渉法、超音波探傷法、魔境法及びX線トポグラフィ法があげられ、超音波探傷法が推奨されていた。また、SOI ウェーハ出荷時点では評価できないため、SOI ウェーハ製造工程中で認知できるものまでとするとされていた。

#### 4.4.2 目視法

**a) 測定原理及び測定方法** SEMI MF 523-02 で規定された鏡面ウェーハの外観目視検査法に準拠し、管理された照明光で検査面の照度が維持された状態で、教育、認定された官能検査員が肉眼で目視検査を行う。多層膜の干渉色によってSOI層の欠落部分は色が変わって見えるので、集光灯下の検査より蛍光灯下での肉眼目視で観察される。この方法によって検出できるボイドは、数  $10\mu\text{m}$ ～ $1\text{mm}$ φ以上の大きさのボイドからであり、通常は不良限度見本との肉眼での比較によって大きさを決定する。

#### b) 注意事項

- 1) 検査表面部分の照度、照明光源との距離、照射角度などは、SOI層、BOX層の膜厚構成によってSEMI MF 523-02 で定められた値と異なる場合がある。
- 2) SOI層が存在する表面全面について検査を行うが、エッジ除外領域が定められている場合は、目視によってその領域を除いて検査を行う。
- 3) 検出限界及び検出精度は、官能検査員の熟練度及び教育レベルによって異なるため、不良限度見本による定期的な目あわせ及び教育が必要である。

#### 4.4.3 光散乱式パーティクルカウンタを用いる方法

**a) 測定原理及び測定方法** 5.5 パーティクルで詳細が規定されているが、この規格では散乱光による微粒子の検出を行っており、ボイドの検出はSOI層の欠落部分の散乱を数  $10\mu\text{m}$ 以上の大きさのパーティクルとして検出するものである。

#### b) 注意事項

- 1) ボイドの横方向の大きさと散乱強度、すなわちパーティクル・サイズは、SOI膜厚構成によっては相関がなくなり、ボイドを検出できない場合がある。特に薄膜の領域ではSOI欠落部分の段差が小さいために散乱は小さくなり、実際のボイドの大きさよりは非常に小さく検出される場合が多い。
- 2) 数  $10\mu\text{m}$ 以上の大きなパーティクルが、すべてボイドではなく付着異物の場合もあるが、この方法



ではその区別はできない。

- 3) エッジ除外領域が定められている場合は、装置の設定によってその領域を除いて検査を行うことができる。

#### 4.4.4 反射分光式膜厚測定機を用いる方法

- a) 測定原理及び測定方法 5.1 膜厚で詳細が規定されているが、この規格では、SOI の膜厚を測定しているので、測定スポットを小さくして多点測定を行っていくと、測定スポットの中にボイドがあった場合、SOI の欠落部分、すなわち膜厚=0 の点があれば膜厚測定値の異常値として検出できる。測定スポット径が小さいほど検出できるボイドの大きさは小さくできるが、測定点は多くなる。測定スポット内にボイドが入らないと検出できないので、多数点測定が必要である。

#### b) 注意事項

- 1) 膜厚異常点としてボイドを検出するだけなので、実際のボイドの大きさの定義は困難である。また、測定スポット内で局所的に欠落しているのか、スポット領域全体で膜厚異常が起きているのかの区別はできない。
- 2) エッジ除外領域が定められている場合は、装置の設定によってその領域を除いて検査を行うことができる。

#### 4.4.5 明視野欠陥検査装置を用いる方法

- a) 測定原理及び測定方法 パターン付きウェーハの欠陥検査装置で用いられる方法で、明視野の光学顕微鏡などでウェーハ表面全面をスキャンして画像を取り込み、画像のコントラストの比較によって欠陥を抽出する方法である。明視野画像を用いているためボイドの大きさの精度は高く、検出のしきい値の設定も容易であるが、数 $\mu\text{m}$ 以下の非常に小さなボイドまで検出するように感度を高くすると、測定時間は多くかかる。

#### b) 注意事項

- 1) 1枚あたりの測定時間は、目視法や光散乱式パーティクルカウンタ法よりは多く必要である。大きなボイドについては、1点の欠陥をコントラストの高い部分と低い部分で別の数点の連続した欠陥として検出する場合がある。
- 2) エッジ除外領域が定められている場合は、装置の設定によってその領域を除いて検査を行うことができる。

#### 4.4.6 推奨される測定方法

この規格では、ボイドの測定方法として目視法を推奨する。検出するボイドの大きさについては当事者間の協議によって規定する。

### 4.5 パーティクル

#### 4.5.1 光散乱法

- a) 測定原理 ノンパターン・ウェーハにおいては、レーザ光をウェーハ表面に照射してその表面からの散乱光を受光する。図8に示すように、レーザ光でウェーハ表面を走査しながら受光すると、パーティクルからの散乱光は再現性のあるパルス信号成分として検出され、ウェーハ表面からの散乱光・ノイズは直流成分と微弱な交流信号として検出される。

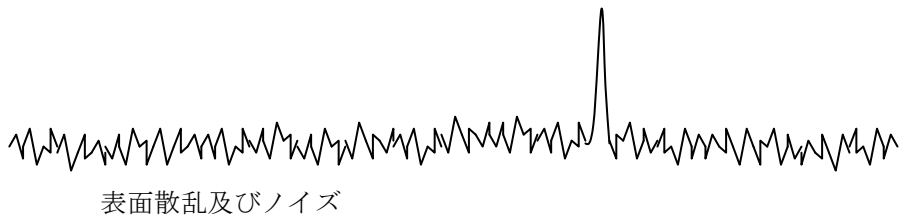


図 8—検出される信号波形

一般的に検出したいサイズ（ $1\mu\text{m}$  以下の微粒子）に比べると照射するビームサイズは大きい。原理的なイメージを図 9 に示す。散乱光がウェーハ表面情報を多く含む理由が理解できる。

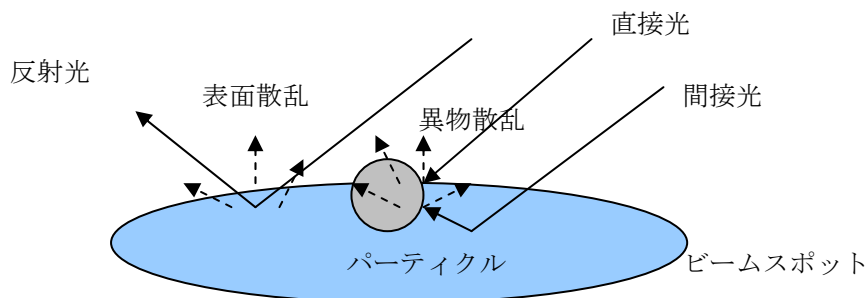


図 9—測定原理のイメージ

レーザの走査方法は大きく分けて二つになる。レーザ自体を走査させる方法とレーザを固定してウェーハ側を動かす（回転を含む）方法であり、そのどちらも実績がある。また、受光方法には、散乱光集光レンズで受光素子に導く方法及びミラーによる集光方式とがある。一般的に、受光素子にはフォトマルチプライヤが使用されており、高い増倍率で微小な散乱光を捉えている。

- b) SOI ウェーハ測定上の問題** SOI ウェーハのような多層膜構造をもつウェーハの場合には、その測定方法に工夫が必要となる。これはシリコンウェーハでは全反射に近い金属膜として扱うことができるが、SOI ウェーハのようにシリコン層が薄膜化されると、透過膜と同じような振舞いを示すことによる。SOI ウェーハでは表面での反射光と試料内部に侵入して多層構造の各界面で反射した光との干渉が生じ、反射光強度が SOI 層や BOX 層の膜厚の変化に敏感に依存する。その結果、測定感度が構造に強く依存し、ある特定の構造ではシリコンウェーハの場合に比較して極端に感度が劣化する。

なお、SOI ウェーハではパーティクルの他、表面、SOI/BOX 界面又は BOX/Si 基板界面のラフネスや SOI 層に存在する欠陥、シリコン基板に存在する COP などの微小欠陥からもパーティクルから得られるものと同様の反射が得られるため、これらパーティクル以外の原因によるノイズとパーティクルからの信号を分離する必要がある。

- c) 新しい測定方法の試み** 以上のような SOI ウェーハ特有の困難を解決し、十分な感度でパーティクル測定を行うためにいくつかの方法が提案されている。従来の可視光での提案から DUV（深紫外線）を使用した高感度検出装置が登場しており、SOI ウェーハを Bare-Si（バルク）とほぼ同等の感度で測定できるようになってきている。喫緊の課題であった SOI ウェーハ上のパーティクル測定の感度向上はほぼ技術的解決の見通しはついたと思われる。現状ではこれらの手法を標準測定方法として推奨する

にはデータが不足しているが、次にそのいくつかを紹介する。

第一に、入射光の短波長化が考えられる。一般的により微小なサイズの異物を捉えるためによって強い強度の光を使用する方法と波長そのものを短くする方法がある。レーザー光は波長によってウェーハ内部への進入があるため、表面情報に内部情報が影響を及ぼし測定感が不安定になる。短波長化は高感度化とウェーハ内部への進入防止の意味において有効な手段となる。図 10 に示すように、特に波長が 350nm より短波長になると、シリコンへの侵入距離長が 20nm 以下となり、膜厚 50nm 程度の SOI ウェーハでは、界面等の内部構造の影響が無視できるようになると考えられる。既に 355nm や 266nm を主光源とする検査装置が登場し、それらの装置では SOI ウェーハ上で 60nm の PSL 感度を達成している。

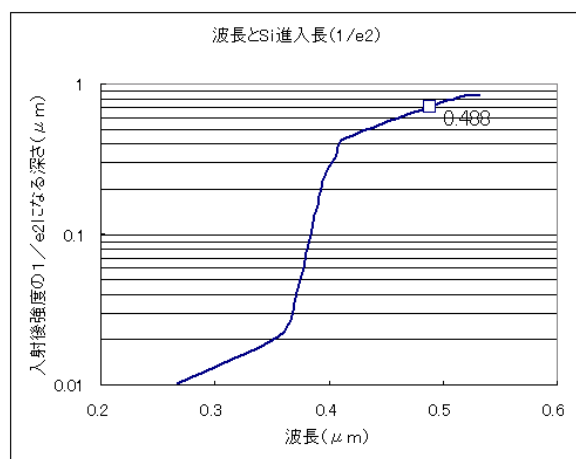


図 10—入射光の短波長化

次に DUV 波長以外の異なる波長を有し入射光として利用し表面層の測定と内部の測定を行う方法等が提案されている。2つの波長差に起因した Si 内部への浸透差（短波長ほど Si 内部での減衰が大きい）を利用したこれらの測定方法により SOI ウェーハの表面情報だけでなく内部情報も計測可能になり SOI ウェーハの品質改善に役立っていける可能性がある。（図 11）

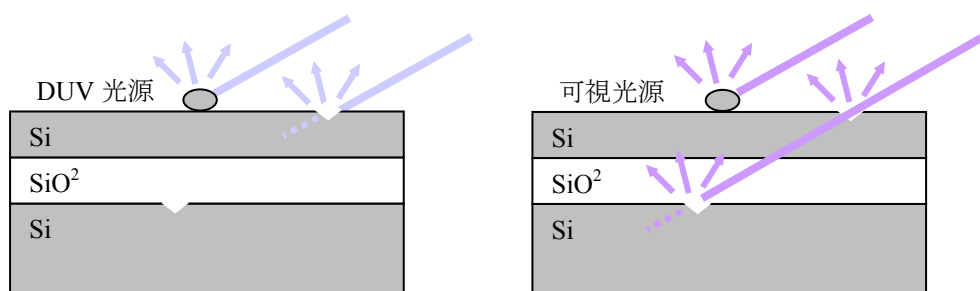


図 11—波長差による表面、内部欠陥の測定方法

最後に、高感度で異物を検出する方法として、レーザコンフォーカル光学系を利用する方法がある。この方法では、入射レーザー光をウェーハ表面に収束させて照明し、表面からの反射光を受光素子の前方に配置したピンホールに対して収束させ、ピンホールを通過した光を受光する。表面にパーティク

ルが存在すれば反射光は波面がひずむので、ピンホール面で反射光が収束しきれずに拡がってしまう。その結果ピンホールを通過する光量が低下する。受光量の変化を検出することによってパーティクルが検出される。

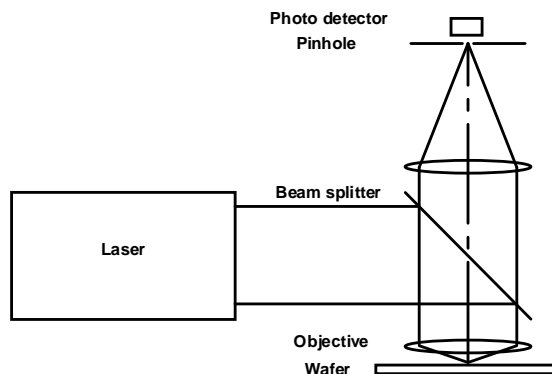


図 12—レーザコンフォーカル光学系

## 4.6 汚染

汚染の具体的な基準（測定点数，精度など）は，当事者間で取り決める。

### 4.6.1 化学分析における試料の前処理

原子吸光分析（Atomic Absorption Spectroscopy : AAS），誘導結合プラズマ質量分析（Inductively Coupled Plasma- Mass Spectroscopy : ICP-MS）などの化学分析方法は，ウェーハ表面の金属汚染を溶液化するための前処理が必要である。分析の信頼性を向上させるためには，前処理時に薬品や環境からの汚染を抑制することが重要である。化学分析法の前処理では，ウェーハ全面の汚染を集めるため，面全体の平均情報しか得られない。

現在では，HF系の雰囲気中でウェーハ表面を分解する気相分解法（Vapor Phase Decomposition : VPD）が最も一般的に用いられている。図 13 は，ガスによって HF 蒸気を強制的に吹き付けて結露液を回収する方法であるが，この他にも，蒸気による自然結露による方法，回収液を直接滴下して液の自走によって表面を分解する方法及び回収液を保持してスキャンする方法がある。分解・回収用薬品としては，純 HF が最も多く用いられているが，イオン化傾向の小さい金属（例えば，Cu）は回収率が悪いという問題があるため，酸化剤  $H_2O_2$ ， $HNO_3$  などの添加による回収率の向上が検討されている。

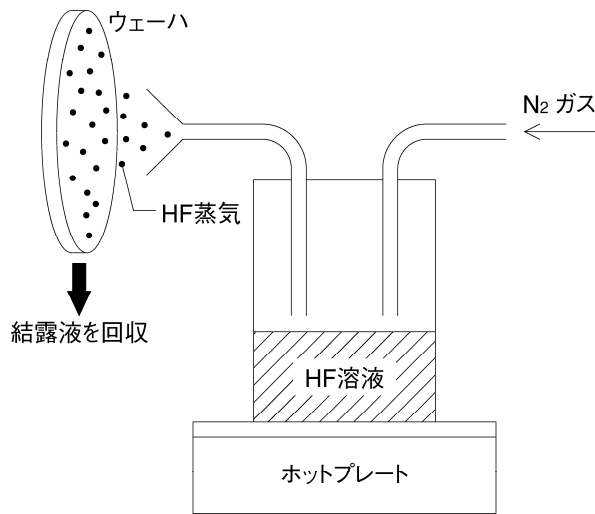


図 13—VPD 法による試料の前処理

4.6.2 フレームレス原子吸光分析 (AAS)

図 14 に示すように、微量の溶液試料をグラファイトキューベットに注入して加熱—乾燥—灰化—原子化し、ホローカソードランプから発生させた特性線の原子蒸気による吸収を測定する方法である。検出下限は数十 ppt～数百 ppt であり、ウェーハに付着した Na, Al, Cr, Fe, Ni, Cu などの主要な金属では、 $10^9$  atoms/cm<sup>2</sup> 台前半の値となる。Al は、加熱によってフッ化物イオンと結合して昇華性の AlF<sub>3</sub> を生成し、原子化前に蒸発してしまうため、HF 回収液をそのまま分析することはできない（フッ化物イオンの除去又はフッ化物イオンをマスクする修飾物質の添加が必要である）。

特長としては、必要試薬量が少量で済むこと、装置の歴史が長く完成度が高いこと、装置が比較的安価であることなどがあげられる。欠点としては、前処理に熟練を要すること、一度の原子化で一元素しか分析できないため多元素を分析する場合に時間を要することがあげられる。最近では、マルチチャンネル半導体検出器及び面光学系を用いて、光電子増倍管に比べ 10 倍（カタログ値）高感度化すると同時に、条件付きながら多元素同時分析を実現したフレームレス AAS 装置が市販されている。

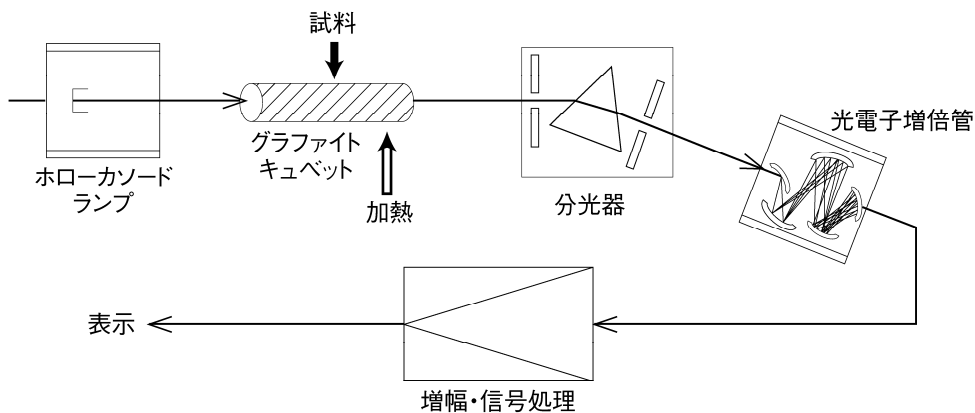


図 14—AAS 装置の概念図

#### 4.6.3 誘導結合プラズマ質量分析 (ICP-MS)

図 15 に示すように、試料を高温のプラズマに導入し、電離生成したイオンを質量分析する方法である。プラズマ源としてはアルゴンガスが、質量分析系としては四重極型のものが多く用いられている。質量分析は高感度な分析法であるうえ、ICP のイオン化効率が高いため、ICP-MS の分析感度は非常に高い (検出下限値はサブ ppt ~ 数 ppt : ウェーハ表面濃度に換算すると  $10^8$  atoms/cm<sup>2</sup> 程度)。さらに、多元素同時分析であることなど特長は多い。欠点としては、AAS 同様前処理に熟練を要すること、ネブライザ法では必要液量が多い (数 ml) こと、 $^{56}\text{ArO}^+$  の妨害によって Fe の検出下限が少し悪いことなどがあげられる。最近では、四重極型に比べて質量分解能が高い二重集束型の ICP-MS が現れ、ほとんどの分子イオンの妨害を回避できるようになってきた。

なお、ICP-MS 法では様々な試料導入方法があり、目的によって使い分けられている。

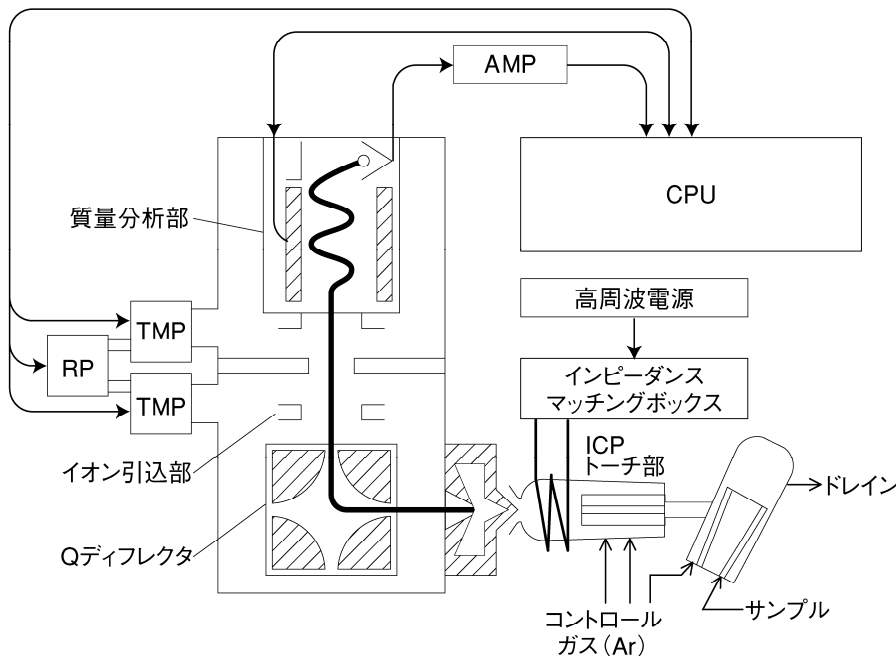


図 15—ICP-MS 装置 (四重極型) の概念図

- a) **ネブライザ法** 最も一般的な方法であり、霧吹き の原理によって溶液試料を霧化してプラズマに導入する。分析例も多い。しかし、試料を導入してから信号強度が安定するまで一定の時間を要するうえ、噴霧試料のプラズマへの到達率が 5%以下と低いため、試料量が 10ml 程度必要となる。このため、VPD 法で濃縮した液を 10 倍程度まで再希釈することになり、ウェーハ表面濃度ベースで見たときの下限値が 1 桁程度悪化する。最近、プラズマに到達しやすい粒径の霧を選択的に生成できるネブライザ (Microconcentric Nebulizer : MCN) が開発され、VPD 法のように微量の試料しか得られない場合にも有効に分析を行えるようになってきた。
- b) **超音波ネブライザ法** 高密度の微細なミストを超音波によって生成させ、加熱—冷却して溶媒を蒸発させることによって乾燥した濃縮エアロゾルをプラズマに導入する方法である。試料の導入効率が通常のネブライザ法よりも向上するため、1~2 桁感度が高い。構造的に複雑であるため、試料流れのよしみによるコンタミネーションやドリフトが大きいといった欠点がある。

- c) **電熱気化法** 試料溶液を乾燥させた後加熱によって目的元素を気化させ、キャリアガスによってプラズマに導入する方法である。必要試料量が少ない (0.02 ml~0.05ml) という特長があるが、未だ確固たる手法として確立されていないため、取り扱いには経験が必要である。

#### 4.6.4 全反射蛍光 X 線分析 (Total X-Ray Fluorescence Spectroscopy : TXRF)

図 16 に示すように、蛍光 X 線分析の一種である。鏡面研磨された試料に励起 X 線を 0.2 度以下の低角度で照射すると、大部分は同じ角度で全反射するが、ごく一部は試料表面から数 nm の深さまで侵入する。侵入領域にある物質は X 線によって励起され、元素特有の蛍光 X 線を発生する。これを半導体検出器 (Solid State Detector : SSD) で検出することによって、汚染元素の種類と表面濃度を測定することができる。全反射現象によって励起 X 線の散乱光が検出器にほとんど入らないので、得られるスペクトルはバックグラウンドが非常に低く、従って高感度分析が可能である。

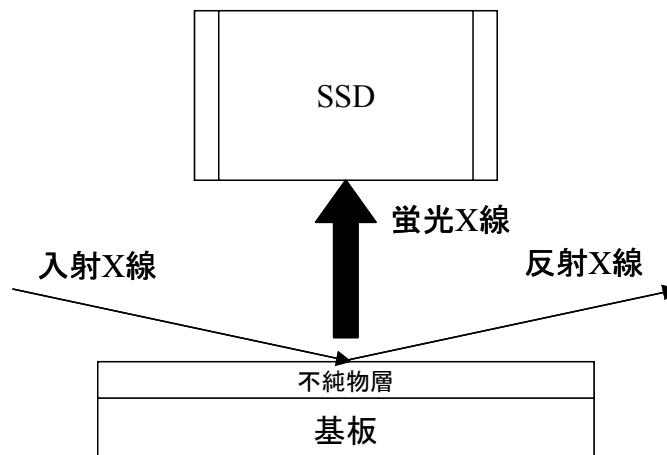


図 16—TXRF 法の原理図

この方法の特長は、前処理が不要なため測定に熟練を要さないこと、面内分布が測定できること、多元素同時分析であること、深さ方向に関する情報が得られることなどがあげられる。欠点としては、実用的検出下限が AAS より劣ること、信号強度が深さ方向分布の影響を受けること、測定によってパーティクル汚染の影響を受けやすいため半破壊分析であることなどがあげられる。

なお、TXRF の測定及び定量に際しては、妨害ピークに代表される特有の問題があるので注意が必要である。

- a) **不純物ピーク (ゴーストピーク)** 励起 X 線が特定の方角で入射するとき、強い回折線が SSD に入射し、SSD 中の不純物を励起して不純物ピークを発生する。Fe, Ni, Cu の不純物ピークが報告されている。最近、励起 X 線の入射方位を一定に保ち回折の影響を回避する手法として、ステージを  $xy$   $\theta$  化する方法・装置が提案・発表された。これによって、面内のあらゆる点において回折線の生じにくい励起 X 線入射方位での測定が可能になっている。
- b) **深さ方向分布** 励起 X 線強度が深さ方向に強度分布をもつため、対象元素の深さによって定量値が大きく変化する。そのため、深さ方向分布が未知の試料の定量結果の解釈には注意が必要である。
- c) **パイルアップ又はサムピーク** 複数のフォトンが SSD に入射し、それらのエネルギーの和に相当する位置に発生するピークである。シリコンウェーハの分析の場合、Si-K $\alpha$  (1.74keV) のエネルギーの 2 倍の位置 (3.48keV) に発生する。

- d) **エスケイプピーク** 励起 X 線回折光のエネルギーの一部が SSD 中の Si に吸収されて、そのエネルギー差に相当する位置に発生するピークである。
- e) **SSD との相対位置** SSD は中心の真下が最も感度が高く、中心から離れるにつれて感度が低くなる。SSD 径に比べて小さな面積に汚染物質が集中している場合には、両者の相対位置によって蛍光 X 線強度が変化する。したがって、平面分布が未知の試料の定量結果の解釈には注意が必要である。

**4.6.5 マイクロ波光導電減衰法 (Microwave Photoconductivity Decay :  $\mu$ -PCD)**

レーザーのパルス照射によって発生した少数キャリアの再結合による減衰を、マイクロ波の反射率変化によって検出する方法である。減衰の時定数はライフタイムと呼ばれており、汚染や結晶欠陥による不純物準位が存在するとそれがキャリアの再結合中心となるため、ライフタイムは短くなる。高感度であること、非接触非破壊測定であること、微細ピッチでのマッピングが可能であること、測定が容易であることなどの特長をもつが、測定前に熱処理（汚染の結晶内への拡散、表面不活性化）が必要であること、Fe 以外の元素を特定して定量できないことなどが欠点としてあげられる。

AAS 法、ICP-MS 法、TXRF 法とは異なり、結晶内に拡散して不純物準位を形成した汚染をキャリアのライフタイム変化によって捉えるため、SOI 層にキャリアを有効に生成するとともに、キャリア密度の時間変化を高感度にトレースする必要がある。そのため、**図 4817** に示すように、紫外レーザーによる励起と差動マイクロ波検出系によるライフタイム測定が提案されている。波長が 355nm の励起光のシリコンへの侵入長は約 10nm (1/e) であるため、数十 nm 以上の厚さの SOI 層に照射すると SOI 層にだけキャリアが生成され、それらは BOX のポテンシャル障壁によって SOI 層内に留まり再結合によって消滅するため、SOI 層だけの評価が可能になる。また、差動マイクロ波検出系を用いると種々のノイズを低減できるため高感度の検出が可能になり、SOI 層中のキャリア密度の時間変化を精度よく捉えることができる。ただし、SOI 層が薄くなると生成されたキャリアが表面及び BOX 界面で消滅する割合が増えるため、得られたライフタイムは必ずしも汚染などによる結晶品質の劣化だけを表すものではないことに注意する必要がある。

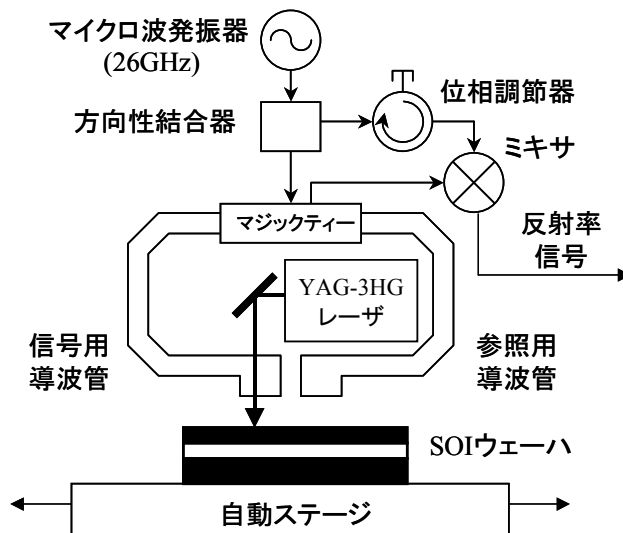


図 17—紫外レーザー励起差動  $\mu$ -PCD 法の原理図



## 4.7 Warp

### 4.7.1 測定方法

**SEMI M1 9.4** の推奨に従い、**SEMI MFF 1390** 又は **SEMI MF 657** の規定に従って測定する。

**SEMI MFF 1390** は、重力効果によるシリコンウェーハのゆがみを矯正することを行う自動及び非接触の測定方法である。スキャンは全体の固定された領域で行われる。中央面参照平面を用い、ウェーハ厚さの変動からの影響に変動されない。

**SEMI MFF 657** は、連続で指示されたスキャンをウェーハ表面の一部で行う、マニュアル及び非接触の測定方法である。重力効果によるシリコンウェーハのゆがみを矯正することはない。**SEMI MF 657** は、裏面参照平面を用い、測定された Warp はウェーハの厚さ変動からの寄与を含むかもしれない。

**SEMI MF 1390** では Warp は次のように定義される。

- D : プローブ a とプローブ b 間の距離
- a : ウェーハ表面とプローブ a 間の距離
- b : ウェーハ裏面とプローブ b 間の距離
- t : ウェーハ厚さ（常時正の数）
- z : ウェーハ中央面とプローブ a, プローブ b の中間点との距離

D, a, b, t, z 間には次の関係式が成り立つ。

$$z = D/2 - a - t/2$$

$$z = -D/2 + b + t/2$$

$$z = (b - a)/2$$

スキャンパターンに基づきプローブ中間点とウェーハ中央点の距離は  $z = (b - a)/2$  で表される。

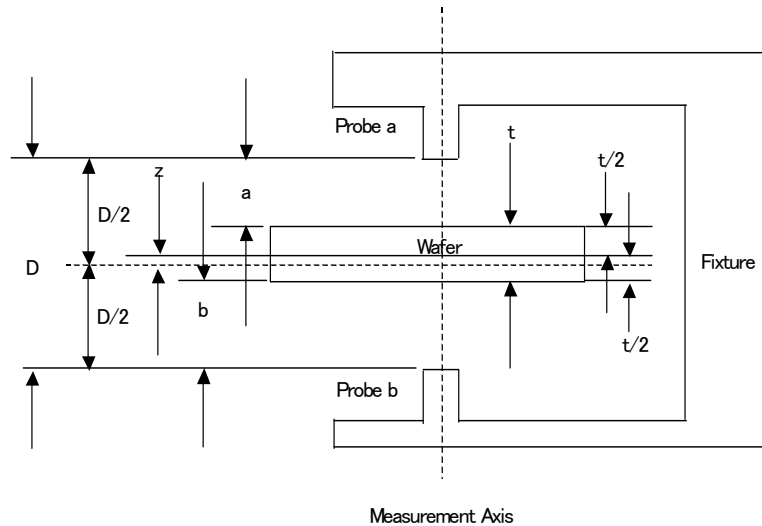


図 18—Warp 測定におけるパラメータの位置関係

スキャンパターン全ての位置データ  $z$  を測定する。測定値から重力補正係数 ( $z_{gravity}$ ) を引いた値を補正値  $z_{com}$  とする。

$$z_{com} = z - z_{gravity}$$

重力補正係数はキャリブレーション時にリファレンス・ウェーハを表裏測定したときの値を 2 で割った数字

$$z_{gravity} = ((z_{nor}) + (z_{inv}))/2$$

を用いる。 $z_{nor}$  はリファレンス・ウェーハの表面をプローブ a に向けたときの  $z$  の値であり、 $z_{inv}$  はリファレンス・ウェーハの表面をプローブ b に向けたときの  $z$  の値とする。ただし、 $z_{gravity}$  は理論値を使用することもできる。

$z_{com}$  を最小二乗法によって導き出した面を参照面とする。それぞれの測定点での重力補正済み測定値 ( $z_{com}$ ) と参照面での測定値 ( $z_{ref}$ ) の差を参照面偏差 (RPD) とすると、

$$RPD = z_{com} - z_{ref}$$

Warp は、RPD の最大値と最小値の差で定義される。

$$Warp = RPD_{max} - RPD_{min}$$

#### 4.7.2 計量基準

計量基準は、バルクウェーハに準拠する。

### 4.8 BOX ピンホール

#### 4.8.1 測定方法

銅電析法（電解液：硫酸銅又はメタノール）、MOS キャパシタ構造を利用した I-V 特性測定を標準測定方法とする。MOS キャパシタ構造を利用した I-V 特性測定は、BOX ピンホールの面内分布がほぼ均一と想定される際に適用可能であり、さらに水銀プローブ測定装置による I-V 特性測定で代用することも可能である。

#### 4.8.2 銅電析法

- a) 測定原理 図 19 に示すように、SOI ウェーハを陰極の上に乗せ、ウェーハ表面の上方に銅製の陽極を固定する。さらにウェーハ表面と銅陽極との間を硫酸銅水溶液又はメタノールからなる電解液で満たした後、陽極と陰極の間に電圧を印加する。適当な条件下では BOX ピンホール直上に、円板状かつ中心に凸部を有する銅電析物が成長する。その数を計数することによって、ピンホールの個数が決定される。

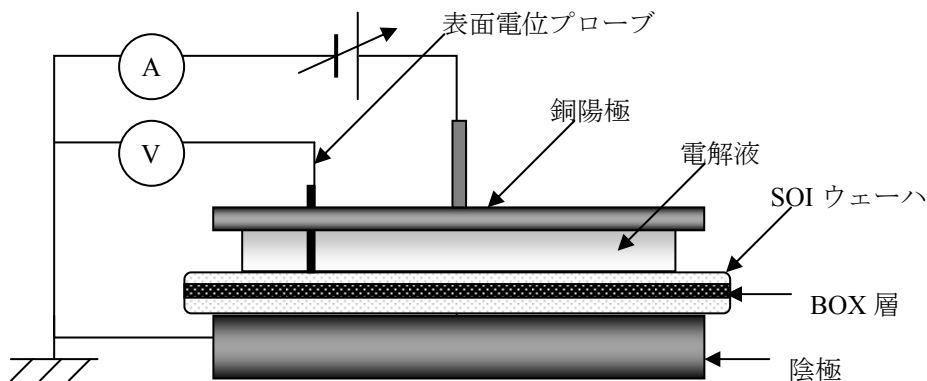


図 19—銅電析法の原理

## b) 測定条件及び留意点

### 1) 電解液として硫酸銅水溶液を用いる場合

- 1.1) 電析時は光照射（蛍光灯で可）を行う。
- 1.2) 銅電極にはメッシュ状に穴あけ加工を行い、電析時に照射光が試料表面に届くようにする。穴部の総面積は、銅電極面積の 30%を超えることが望ましい。
- 1.3) 硫酸銅水溶液は、電気化学的なセル構造を用いてウェーハ上に保持する。銅電極と試料間の対向距離は 1mm～5mm 程度が望ましい。または、硫酸銅水溶液を厚めの濾紙などに染み込ませて保持してもよい。
- 1.4) 硫酸銅水溶液濃度は、BOX 層が 100 nm～200nm の場合には 0.01mol/L 程度、400nm 程度の場合には 0.05mol/L 程度が適当である。
- 1.5) 電析時間は、BOX 層が 100 nm～200nm の場合には 1 分程度、400nm 程度の場合には 5 分程度が適当である。
- 1.6) 印加電圧は、BOX 層にかかる電界として 1MV/cm 程度が適当である。

### 2) 電解液としてメタノールを用いる場合

- 2.1) 電析時は光照射（蛍光灯で可）を行う。
- 2.2) 銅電極にはメッシュ状に穴あけ加工を行い、電析時に照射光が試料表面に届くようにする。穴部の総面積は、銅電極面積の 30%を超えることが望ましい。
- 2.3) 電析前に、あらかじめ KOH など試料の SOI 層を除去する。
- 2.4) 硫酸銅水溶液は、電気化学的なセル構造を用いてウェーハ上に保持する。銅電極と試料間の対向距離は 5mm 程度が望ましい。
- 2.5) ピンホールのコントラストをよくするため、メタノールには硝酸銅を溶かすことが望ましい。硝酸銅濃度は 0.01mol/L 以下が適当である。
- 2.6) 印加電圧は、BOX 層にかかる電界として 1MV/cm 程度が適当である。
- 2.7) 電析時間は、10 分程度が適当である。

## c) 測定領域と測定点数

- 1) 理想的にはウェーハ端からエッジ・エクスクルージョン（EE）までの領域を除外したウェーハ領域について、電析物の全個数を計数する。
- 2) ピンホール分布がほぼ面内均一と想定される場合には、ウェーハ端から所定の距離（例えば、5mm）までの領域を評価すれば十分と考えられる。また、分割したウェーハの一部（例えば、4 分割）での評価にも適用可能である。

- d) その他 評価に用いる電流電圧計については、校正済みの基準測定計との整合を取ることによって校正する。

### 4.8.3 MOS キャパシタ構造を利用した I-V 特性測定

BOX ピンホールの面内分布がほぼ一様であると想定される場合に適用することができる。

- a) 測定原理 図 20 に示すように、SOI 膜をメサ状に切り出し、SOI 膜/BOX 膜/Si 基板からなる MOS キャパシタ構造を、ウェーハ上に周期的に多数形成する。

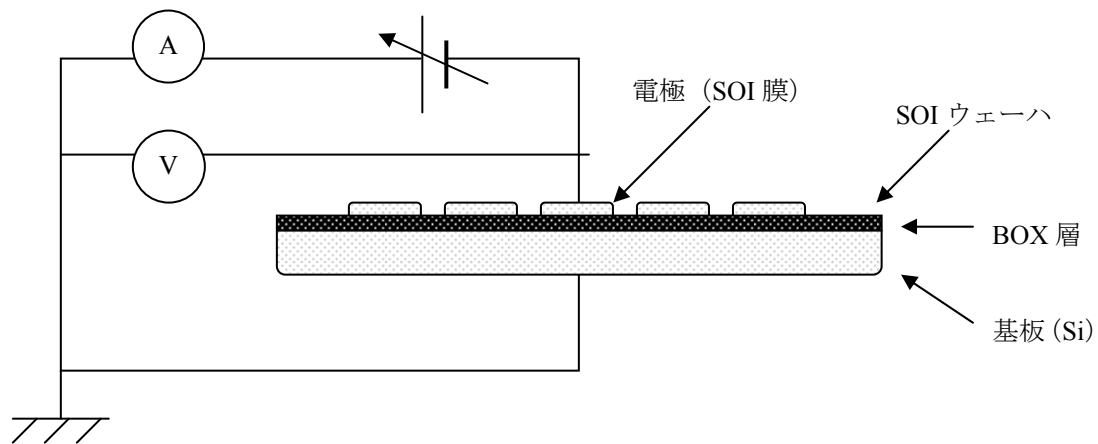


図 20—I-V 特性測定法

各 MOS 構造に、BOX 膜が絶縁破壊しない程度の低電圧を印加し、そのときに流れる電流を測定する。測定した電流があらかじめ設定したしきい値を超えた場合には、その電極はピンホールを含む不良電極と判断し、多数の電極を測定して不良電極の発生率  $F$  を求める。BOX ピンホールが均一に分布していると仮定すると、Poisson 分布関数を用いた次の式から BOX ピンホール密度  $D$  が算出される。

$$1 - F = \exp(-D \cdot S)$$

ここに、 $S$ : MOS キャパシタの上部電極面積

- b) 測定条件及び留意点** MOS キャパシタ構造は、可能な限りウェーハ全面を覆うように配置することが望ましい。ウェーハ上に、評価上必要な大きさの電極を十分な個数配置するため、MOS キャパシタは、0.5cm～1cm 程度の周期でウェーハ上に形成するのが適当である。
- 1) SOI 膜での電圧降下を防ぐため、SOI 膜は、あらかじめリンなどの不純物を  $10^{20}\text{cm}^{-3}$  以上程度の濃度にドーピングして金属化しておくことが望ましい。又は、さらに SOI 膜上にメタルを堆積しておくことが望ましい。
  - 2) キャパシタに電圧を印加する時の極性は、通常は基板側が蓄積状態となる極性にする。
  - 3) キャパシタに印加する電圧の値は、BOX 中の電界に換算して約 1MV/cm 相当が適当である。
  - 4) 不良電極判定のための電流しきい値としては、電極面積で規格化した電流密度に換算して  $100\text{nA/cm}^2 \sim 10\text{mA/cm}^2$  相当が適当である。
  - 5) 電極面積は、 $10^{-3}\text{cm}^2 \sim 1\text{cm}^2$  程度の範囲で数種類用意しておき、通常は  $0.1\text{cm}^2 \sim 1\text{cm}^2$  程度の面積の電極で測定を実施する。不良電極の発生率が 100%に近い場合には BOX ピンホールの密度が正確に算出できないので、小面積の電極で再度測定する。
- c) 測定領域及び測定点数** ウェーハ端からエッジ・エクスクルージョン (EE) までの領域を除外したウェーハ領域を測定領域とするのが理想であるが、電極形成の都合などによって困難な場合は、極力 EE 境界近くまでの領域を測定する。解析の統計性を確保するため、測定点数は 100 以上程度を目安とする。また、測定位置はウェーハ全面に分散させる。
- d) その他**
- 1) 評価に用いる電流電圧計については、校正済みの基準測定計との整合を取ることによって校正する。
  - 2) MOS キャパシタ構造を利用した I-V 特性測定は、水銀プローブ測定装置による I-V 特性測定で代用することも可能である。この場合には、アルカリ溶液などによって SOI 膜を剥離した後、水銀プロ

ープ測定装置を利用して水銀電極を BOX 層表面にコンタクトさせ、水銀電極と裏面電極との間に BOX 膜が絶縁破壊しない程度の低電圧を印加し、その際に流れる電流を測定する。ピンホール密度の定義、測定条件及び留意点、測定領域及び測定点数、測定計の校正については、MOS キャパシタ構造を利用した方法に準ずるものとする。

- 3) BOX ピンホール分布がクラスタを形成するなど、均一でない面内分布を示すような場合でも、次に示すシーズ (Seeds) の式を用いればピンホール密度を解析することは可能となる。

$$1 - F = (1 + DS/\alpha)^{-\alpha}$$

ここに、  
 $F$  : MOS キャパシタにて測定した場合の故障率  
 $S$  : キャパシタ面積  
 $D$  : 欠陥密度  
 $\alpha$  : クラスタリング・パラメータ

クラスタリング・パラメータの設定に曖昧さが伴うため、ピンホールの面内分布が均一でない場合には、その存在位置が正確に測定可能となる銅電析法の利用を推奨する。

## 4.9 BOX 耐圧

### 4.9.1 測定方法

MOS キャパシタの TZDB (Time Zero Dielectric Breakdown) 特性測定を標準測定方法とする。なお、水銀プローブ測定装置による TZDB 特性測定で代用することも可能である。

### 4.9.2 測定原理

SOI 膜をメサ状に切り出し、SOI 膜/BOX 膜/Si 基板からなる MOS キャパシタ構造を、ウェーハ上に周期的に多数形成する。各 MOS 構造に階段状にランピングする電圧を印加して電流-電圧特性を測定し、

5.9.3 測定条件及び留意点に従い、絶縁破壊電圧 (BOX 耐圧) を定義する。

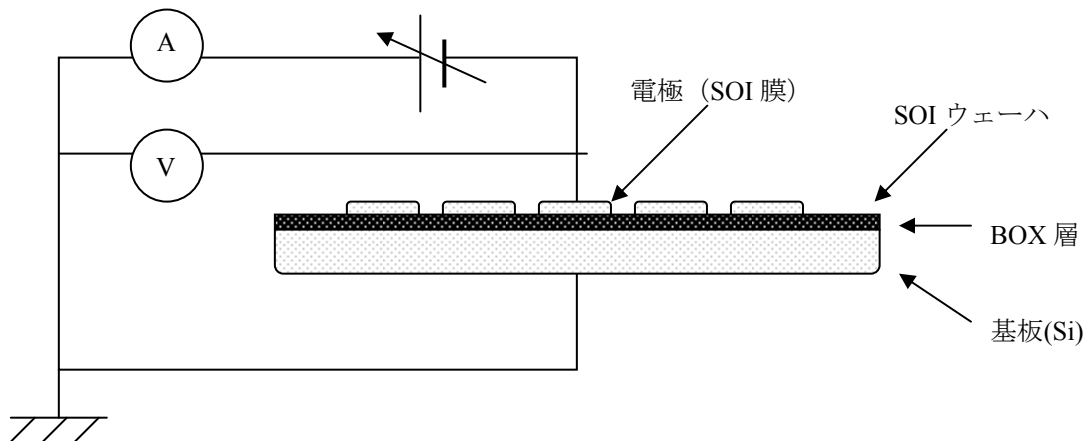


図 21-MOS キャパシタの TZDB 特性測定法

### 4.9.3 測定条件及び留意点

MOS キャパシタ構造は、可能な限りウェーハ全面を覆うように配置することが望ましい。ウェーハ上に、評価上必要な大きさの電極を十分な個数配置するため、MOS キャパシタは、0.5cm~1cm 程度の周期でウェーハ上に形成するのが適当である。

- a) SOI 膜での電圧降下を防ぐため、SOI 膜は、あらかじめリンなどの不純物を  $10^{20}\text{cm}^{-3}$  以上程度の濃度

にドーピングして金属化しておくことが望ましい。又は、さらに SOI 膜上にメタルを堆積しておくことが望ましい。

- b) キャパシタに電圧を印加する時の極性は、通常は基板側が蓄積状態となる極性にする。
- c) BOX 膜破壊電界として通常報告されている 0 MV/cm～10MV/cm の範囲に対して十分滑らかな電流－電圧特性を得るため、ランプ電圧のステップ幅は、BOX 膜中の電界に換算して約 0.5MV/cm 相当以下とすることが適当である。
- d) 測定から経時破壊の要素を取り除くため、MOS キャパシタ一つあたりにつき 1 分以内を目安に評価が終了するよう、ランプ電圧のステップ幅とステップ時間を調整することが望ましい。
- e) 絶縁破壊電圧の判定条件は、ゲート酸化膜の TZDB 評価で用いられる標準的な条件に準拠する。SEMI MF 1771-0304 4.4 には、望ましい判定条件として次のような例があげられている。
  - 1) 測定電流値が、電流計コンプライアンス値の 0.98 倍に達したときの電圧。
  - 2) 2 回連続して、ランプ電圧の 1 ステップに対し電流値が 10 倍以上となったときの電圧。
  - 3) 測定電流値が、電極面積で規格化した電流密度に換算して  $1\mu\text{A}/\text{cm}^2\sim 100\text{mA}/\text{cm}^2$  の範囲内に設定したあるしきい値相当に達したときの電圧。
- f) 電極面積は、 $10^{-3}\text{cm}^2\sim 1\text{cm}^2$  程度の範囲で数種類用意しておき、通常は  $0.1\text{cm}^2\sim 1\text{cm}^2$  程度の面積の電極で測定を実施する。BOX ピンホールの密度が高い場合には、BOX ピンホールの電気特性に隠れて BOX 耐圧が正確に算出できない。このときは、必要に応じ、より小面積の電極で再度測定する。
- g) SIMOX ウェーハなどでは、BOX 耐圧が電極面積に依存する場合があるため、異なる材料同士を比較するときには、必ず電極面積を揃えて比較する。

#### 4.9.4 測定領域及び測定点数

ウェーハ端からエッジ・エクスクルージョン (EE) までの領域を除外したウェーハ領域を測定領域とするのが理想であるが、電極形成の都合などによって困難な場合は、極力 EE 境界近くまでの領域を測定する。解析の統計性を確保するため、測定点数は 100 以上程度を目安とし、測定位置はウェーハ全面に分散させる。

#### 4.9.5 その他

- a) 評価に用いる電流電圧計については、校正済みの基準測定計との整合を取ることで校正する。
- b) MOS キャパシタの TZDB 特性測定は、水銀プローブ測定装置による TZDB 特性測定で代用することも可能である。この場合には、アルカリ溶液などによって SOI 膜を剥離した後、水銀プローブ測定装置を利用して水銀電極を BOX 層表面にコンタクトさせ、水銀電極と裏面電極との間に階段状にランピングする電圧を印加して電流－電圧特性を測定する。絶縁破壊電圧の定義及び判定条件、測定条件及び留意点、測定領域及び測定点数並びに測定計の校正については、MOS キャパシタ構造を利用した方法に準じる。

### 4.10 平坦度測定

#### 4.10.1 測定方法

SOI ウェーハの平坦度測定は、通常のパルクウェーハのフラットネス測定法と同じ測定原理を適用しており、主な測定原理としては静電容量法と光学法がある。静電容量法は、同一平面上に二つ電極をもつセンサと被測定物であるウェーハの表面との距離の変化を静電容量として測定する。この場合、測定は、ウェーハの両面から行い、測定後、裏面を計算にて平面とし、表面のフラットネスを出力する。光学法には、さらに反射光を利用した変位計を用いる方法、ウェーハを傾斜させて表面の反射光量を測定して傾きを測定する方法及び基準面を使用した光干渉による測定法がある。測定の方法については、静電容量法と同様

に両面から測定し、裏面を計算にて平面とし、フラットネスを出力する方法と、基準となる吸着盤を使用してウェーハを片面から測定する方法がある。

#### 4.10.2 測定原理

- a) 静電容量式測定法 静電容量によるウェーハの平坦度測定は、図 22 のように、Probe 端面の電極とウェーハ表面までの距離に依存する次式の静電容量で求める。

$$(C_{air}) = (\epsilon_a \cdot S) / Da$$

ここに、 $\epsilon_a$  : 空気誘電率

S : 面積

静電容量を測定することで、ウェーハ表面の変位を測定する。

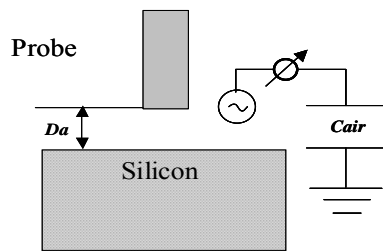


図 22—静電容量式測定法

SOI ウェーハの場合、図 23 のように表面シリコン層の下にはシリコンと誘電率の異なる埋め込み酸化膜 (Box) があり、この Box 層の厚さによって静電容量が影響を受ける。Box 層があることで、Probe とウェーハ表面の間にある容量 ( $C_{air}$ ) と Box 層によって発生する容量 ( $C_{box}$ ) が直列に接続され、測定結果はウェーハの表面を基準とした場合の絶対厚さに対し

$$(t_{box}) = (1 - 1/\epsilon_s)$$

ここに、 $\epsilon_s$  : Box の誘電率

だけ薄くなる。

従って、SOI のフラットネスは Box の厚さばらつき  $1/\epsilon_s$  の誤差が含まれる。実際の SOI では Box 層の厚さは 100nm 程度であり、その厚さばらつきを 5% と考えた場合、酸化膜の誘電率が  $\epsilon_s \cong 4$  のため、平坦度への誤差は 1nm 程度であり実用上差し支えない。

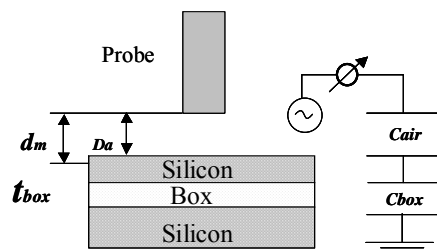


図 23—SOI ウェーハの場合

## b) 光学式測定法

- 1) **反射型変位センサ** 光ビーム式の変位センサを利用して、ウェーハ面に対して斜入射し、センサによって、反射光のスポットの位置を検出し、ウェーハの表面の変位を測定する方法である。なお、測定はウェーハの両面から測定する。
- 2) **反射光強度センサ** ウェーハ表面全面に光を照射し、ウェーハを傾けることで、ウェーハ表面からの反射光の強度を CCD カメラで測定する。この方法では、ウェーハを吸着盤にて固定して全面測定する。
- 3) **光干渉法** 光源にレーザを使用して、ビームスプリッタを介して、微小振動する基準面からの反射光とウェーハ表面からの反射光によって発生する位相を測定する方法。測定はウェーハを回転させながら両面から観測する方法及びウェーハを吸着盤に固定させてウェーハ全面を測定する方法がある。

### 4.10.3 注意点

光学式での測定では、ウェーハに対する光の波長による進入深さ及び入射角によって測定データが変化することを考慮しておかなければならない。図 24 のように、SOI の場合はウェーハ表面から観察される反射光には、表面からの反射光 ( $R_1$ )、表面シリコン層と埋め込み酸化膜層の界面からの反射 ( $R_2$ ) 及び埋め込み酸化膜層とバルクのシリコン層からの反射波 ( $R_3$ ) が含まれている。

測定に必要なウェーハ表面からの反射波 ( $R_1$ ) 以外はノイズとして観察されるため、誤差が発生することが考えられる。したがって、これら界面からの反射光の除去又は入射角・波長の検討が必要で、その検証が必要である。

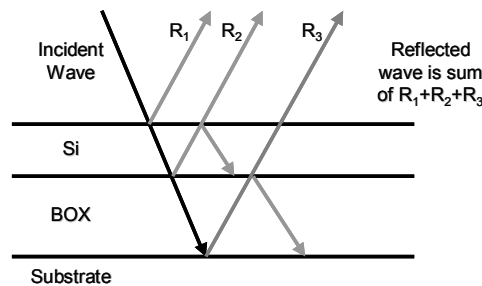


図 24—SOI ウェーハからの反射光

## 4.11 ラフネス

### 4.11.1 AFM (原子間力顕微鏡 : Atomic Force Microscope)

- a) **測定原理及び測定方法** 図 25 に示すように、探針 (プローブ) 付きカンチレバーを試料表面に微小な力で接触させ、これを掃引することによるカンチレバーの位置変位を、例えば、光学的な手法などで読み取り、凹凸の二次元的情報を引き出すものである。カンチレバーのたわみ量が一定になるように探針と試料間の距離を制御しながら走査するもの、共振させたカンチレバーの振動振幅が一定になるように探針と試料間の距離を制御しながら走査するもの及び動的モード (AC モード, ダイナミック・フォースモード, ダイナミックモード, タッピング・モードなどとも呼ばれる) も含めて扱う。
- b) **注意事項** 探針の先端形状 (寸法) に十分留意し、評価対象に合わせて触針の方法 (コンタクト・モード, ノンコンタクト・モード, タッピング・モード) を選択する必要がある。
  - 1) **コンタクト・モード** カンチレバー先端が試料表面に接触するので、直接的に原子寸法オーダの評



価が可能であるという特徴がある。しかし、試料表面に傷が付く場合があり、軟質試料を観察するときにはカンチレバーのバネ定数の選定などへの配慮が必要となる。絶縁膜上では触針による静電気がデータに影響を与える場合がある。

- 2) **ノンコンタクト・モード** カンチレバーを共振周波数近傍（数 10 kHz～数 100kHz）で加振させ、非接触距離から原子間引力を検出して観察するモードで、試料へのダメージは少なく、比較的柔らかい試料の最表面を正確に観察することができる。ただし、非接触観察なので最表面は吸着層の表面構造ということになり、表面吸着層の影響を受けやすい。
- 3) **タッピング・モード** カンチレバーを共振周波数近傍で加振させて、試料表面上を断続的に軽く触れながら（タップしながら）走査して凹凸像を得るためノンコンタクト法に比べて高い空間分解能で測定することができる。コンタクト・モードと違い、探針が試料表面に断続的に接触するので、水平方向に働く力（摩擦力）が生じないため、摩擦によるカンチレバーの変位が凹凸像に混入せず、柔らかい試料も傷つけることなく測定できる。そのため、表面吸着層の厚い試料及び帯電しやすい試料の測定にも適している。サイクリック・コンタクト（周期的接触）モードとも呼ばれる。

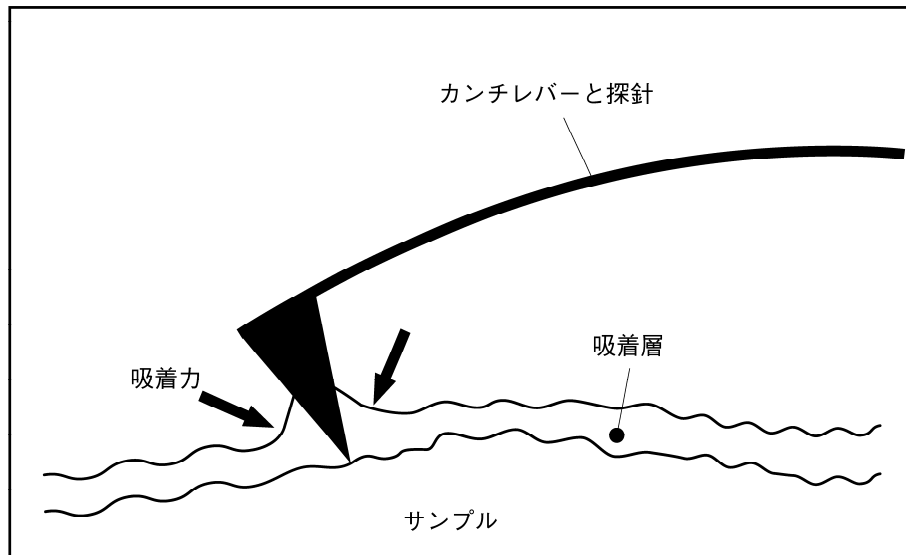


図 25－探針付カンチレバー

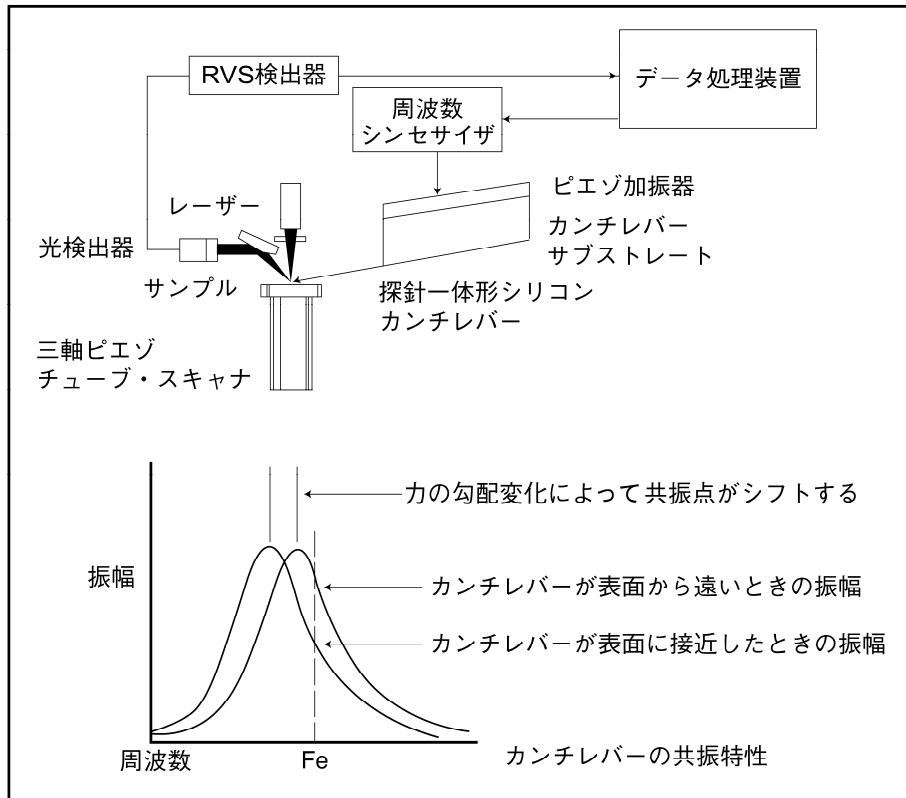


図 26—原子間力顕微鏡

- c) 推奨される測定方法，測定領域，測定点数及び校正方法 この規格では，ラフネスの評価方法として AFM（原子間力顕微鏡）法のコンタクト・モード又はタッピング・モードを推奨する。

AFM 法による評価結果は，「測定領域の大きさ」及びその領域における「RMS：自乗平均粗さ値」を示す。「測定領域の大きさ」は， $2\mu\text{m} \times 2\mu\text{m}$  領域と  $10\mu\text{m} \times 10\mu\text{m}$  領域の両方の評価結果を示すことを推奨する。

測定点数については，ウェーハ中央部付近の点とウェーハ端部から 10mm 程度内側の円周付近の点との少なくとも 2 点について評価結果を示すことを推奨する。ただし，供給側とユーザ側の協議によって「RMS：自乗平均粗さ値」は，「Ra：中心線平均粗さ値」を用いる場合もある。また，SOI ウェーハ製造方法によって，ラフネスの面内分布がある場合は，その分布に従って測定領域と測定点数を別途定めるときもある。

評価装置及びデータの校正は，JEITA EM-3501 に基づいて行うか，又は装置メーカーが推奨する国家標準及び国際標準とトレーサビリティがとれている標準試料を用いて行う。

# SOI ウェーハの規格と標準測定方法の解説

この解説は、本体及び附属書に規定・記載した事柄、並びにこれらに関連した事柄を説明するもので、規格の一部ではない。

## 1 制定の目的及び改訂の趣旨

### 1.1 制定の目的

Si-LSI の技術動向として、低消費電力化及び高速駆動化への指向が一層顕著になりつつある。さらに現在は、従来のように単に LSI を構成するデバイスのサイズを物理的に小さくするスケールアップ技術だけでは、LSI の高性能化が望めないポストスケールアップの時代に突入した。SOI はポストスケールアップ時代の重要技術であり、微細化に頼らない性能向上をもたらす。この規格の制定の目的は、MOS デバイス向け薄膜 SOI ウェーハの標準仕様を制定することによって、ウェーハ、デバイス、装置の開発・製造コスト低減を図りつつ、SOI 技術の発展に貢献することにある。

### 1.2 改訂の趣旨

2003 年 9 月に発行された **JEITA EM-3603 SOI ウェーハの規格と標準測定方法** および 2005 年 6 月に改訂された **JEITA EM-3603A** は、ともにその適用範囲として SOI 膜厚が 20nm～200nm を規定しているにもかかわらず、一部の仕様が 50nm 以上の膜厚に限定されていた。さらに、仕様欄に項目と測定方法のみが記入され、規格が空欄とされている項目が存在する。これらはいずれも制定時の評価・測定技術の一般的な水準の制限により、ユーザ/サプライヤー間で合意できる仕様を制定することが困難であったことに由来する。

そのため、SOI ウェーハ関連技術委員会では 2004 年度から、ウェーハメーカー 5 社および評価・測定器メーカー 14 社の協力を得て、超薄膜 SOI ウェーハにおける評価・測定技術の課題と現状を調査するための持ち回り測定を行った。今回の改訂は、持ち回り測定の結果を元に再度未制定の項目について話し合いをもち、仕様を決定したことによる。

## 2 基本方針

**JEITA EM-3603** および **JEITA EM-3603A** で、SOI 膜厚 50nm 以下に対して未制定であった項目の以下 (1) から (4)、および空欄であった項目の以下 (5) に関して使用を定めることを基本方針とした。さらにそれに伴って必要となる記述を一部書き改めた。

- (1) SOI 層 厚さ (平均値)
- (2) SOI 層 厚さ (面内ばらつき)
- (3) SOI エッチピット
- (4) HF 欠陥
- (5) パーティクル

ただし、MOS デバイスを製造・販売する企業からの要求に基づき、その最低限の品質特性値を規格化するものであり、デバイスの機能・性能上更に厳格な品質特性値を要求するものに関しては規定していない。

### 3 主な改訂点

3. SOI ウェーハの規格において、表 1 及び表 2 の仕様で不完全もしくは空欄であった箇所を定め記載した。さらにそれに伴って必要となった、5. 標準測定方法等の記述を変更した。

また、EM-3603A 版までは、SOI ウェーハのレーザーマーキング領域を規定し推奨していたが、これを含め基板周辺処理の項を全て削除した。

## 4 審議経過

### 4.1 制定の経緯

JEIDA 多層集積技術専門委員会における SOI ウェーハの標準化は、1996 年 3 月の JEIDA-50-1996 制定後、1998 年 9 月に JEIDA-50-1998 として改定され、現在に至っている。一方、MOS デバイスの高速化、低消費電力化要求は、極薄膜 SOI ウェーハの実現を促し、また、ウェーハの大口径化の流れを受ける形で、300mm φ SOI ウェーハも量産化されるに至った。この結果、これら極薄膜／大口径 SOI ウェーハの仕様の標準化に対する要望が高まり、2001 年 11 月に JEITA 多層集積技術専門委員会の傘下に「SOI ウェーハの規格と標準測定法に関する WG（主査：泉勝俊）」が設置され、新たに極薄膜 SOI ウェーハ標準仕様及び標準測定法の規格制定作業を開始することとなった。2002 年 2 月に多層集積技術専門委員会が実施した SOI パネルディスカッションにおいて規格の骨子が決定され、同年 11 月の WG による集中討議を経て、2003 年 3 月の多層集積技術専門委員会において規格原案が承認された。その後、シリコン技術委員会での書面審議を経て、2003 年 9 月に制定された。同時に、JEIDA-50-1998 のなかから高耐圧・パワーデバイス用途の SOI ウェーハに関する部分は、別途 JEITA EM-3604 として 2005 年 6 月に発行された。さらに、JEITA EM-3603 は 2005 年 6 月に TSC-15（工業所有権等に係わる標準化手続きの指針）に基づく改訂が加えられて、JEITA EM-3603A となり現在に至る。

### 4.2 改訂の経緯

JEITA EM-3603 および JEITA EM-3603A は、ともに発行時よりその適用範囲や仕様を定めるべく用意した項目と、実際に仕様が制定された項目に、一部整合の取れていない箇所があった。これは、制定時の評価・測定の一般的な技術水準の制限により、ユーザ／サプライヤー間で合意できる仕様を制定することが困難であったことに由来する。ある意味で不完全であることを承知で過去の標準を発行したのは、進歩の激しい SOI 技術の発展に貢献するためには、その時点で可能な範囲で最適な標準を提供し、かつ不断の改訂を加え続けることで、その時々技術革新に寄与することが必要であるとの認識による。したがって、本標準は制定時より今回の改訂を想定していた。そしてそのために、制定直後の 2004 年度から、超薄膜 SOI 評価・測定技術の課題と現状を調査するための持ち回り測定を開始し、その成果を反映する形でようやく今回の改訂を迎えるに至った。

以上の経緯より自明のように、今後もまた SOI 技術の進歩に遅れることなく、タイムリーな改訂を心がける所存ある。

なお、EM-3603 制定時に標準化された内容の一部が特許に抵触することが分った。協議を重ねた結果、レーザーマーク領域の技術は使用許諾手続きが個々に必要となった。標準化推奨活動では一部団体の営利活動に荷担してはならないこと、また標準化の観点から必要不可欠かどうかを協議し、必ずしも必要ではないことから、標準仕様から外す決定を下した。ただし、本標準化活動で、レーザーマーク領域の規定を検討したことを後世に伝える目的で、5. の工業所有権に関する取り扱いの項には、対応する特許の記載を残した。

本規格は、2006年2月のSOIウェーハ関連技術専門委員会にてその原案が提示されて原則承認され、英訳の後書類審査にて2006年4月に承認手続きが完了した。さらに、シリコン技術委員会にて書類審査にて付され、2006年6月に承認され、2006年6月に発行された。

## 5 工業所有権に関する取り扱い

本規格に関して、キャノン株式会社及び信越半導体株式会社が特許（出願中のものを含む）を保有しており、本特許の使用希望者に対して以下のような条件での実施を許諾する旨の意思表示がなされている。有償許諾の場合のライセンス交渉は、使用希望者ごとに権利保有者で行うこと。

権利保有者	名称	工業所有権等の番号	使用許諾等の条件	特記事項
キャノン株式会社	半導体基板とその作製方法	特開 2001-257139 (特許出願公開番号)	合理的かつ非差別的な条件で当該工業所有権等の実施を許諾する	左記工業所有権等の使用許諾は、いかなる場合であっても、相手方の工業所有権等について、弊社に対する同範囲・同条件での使用許諾を条件とする
信越半導体株式会社	SOIウェーハの結晶欠陥評価方法およびエッチング液	特開 2004-235350 (特許出願公開番号)	無償かつ非差別的に当該工業所有権等の実施を許諾する	

なお上記以外に工業所有権等がないことを保障しているものではない。またJEITAは本規格の内容に関する工業所有権等に対して、一切責任を負わない。

## 6 JEITA EM-3603B 審議委員会の構成表

### 電子材料標準化委員会

委員長 石垣 尚幸 (株)NEOMAX

### シリコン技術委員会（2006年6月末時点）

委員長	田島 道夫	JAXA 宇宙科学研究本部
幹事	金山 敏彦	産業技術総合研究所
同	小山 浩	日本電子(株)
委員	井上 直久	大阪府立大学
同	小椋 厚志	明治大学
同	宮崎 守正	三菱住友シリコン(株)
同	福田 哲生	富士通(株)
同	松本 行雄	アクセント オプティカル テクノロジーズ(株)
同	北野 友久	NECエレクトロニクス(株)

同	廣川 一人	(株)荏原製作所
同	江口 公平	エム・イー・エム・シー (株)
同	内田 英次	沖電気工業(株)
同	進藤 健一	黒田精工(株)
同	中井 康秀	(株)コベルコ科研
同	河野 光雄	コマツ電子金属(株)
同	四戸 敬昭	シルトロニック・ジャパン (株)
同	竹中 卓夫	信越半導体(株)
同	滝澤 律夫	ソニー (株)
同	藤野 誠二	(株)デンソー
同	宮下 守也	(株)東芝
同	松下 嘉明	東芝セラミックス (株)
同	磯崎 久	(株)トプコン
同	吉瀬 正典	日本エーディーイー(株)
同	渡辺 正晴	日本エスイーゼット(株)
同	中嶋 定夫	(株)日立国際電気
同	有本 由弘	(株)富士通研究所
同	吉住 恵一	松下電器産業(株)
同	大石 博司	松下電器産業(株)
同	片浜 久	三菱住友シリコン (株)
同	河合 直行	(株)ルネサステクノロジ
同	坂井 秀男	(株)レイテックス
顧問	垂井 康夫	武田計測先端知財団
事務局	中瀬 真	(社)電子情報技術産業協会
同	吉田 晃	(社)電子情報技術産業協会

SOI ウェーハ関連技術専門委員会 (2006年6月末時点)

委員長	小椋 厚志	明治大学
幹事	門 勇一	日本電信電話(株)
幹事	井田 次郎	沖電気工業(株)
幹事	松村 篤樹	シルトロニック・ジャパン(株)
幹事	三谷 清	信越半導体(株)
幹事	木口 博	日本エーディーイー(株)
幹事	服部 信美	(株)ルネサステクノロジ
委員	河村 誠一郎	産業技術総合研究所
同	田中 雅己	アクセント オプティカル テクノロジーズ(株)
同	富山 智彦	NECエレクトロニクス(株)

同	柳井秀敏	エム・イー・エム・シー(株)
同	住江伸吾	(株)コベルコ科研
同	宮村佳児	コマツ電子金属(株)
同	岩森則行	(株)デンソー
同	中川明夫	(株)東芝
同	泉妻宏治	東芝セラミックス(株)
同	磯崎久	(株)トプコン
同	渡辺正晴	日本エスイーゼット(株)
同	中嶋定夫	(株)日立国際電気
同	粉谷直樹	松下電器産業(株)
同	久保圭司	松下電器産業(株)
同	山本一弘	三菱住友シリコン(株)
客員	泉勝俊	大阪府立大学
同	田島道夫	JAXA 宇宙科学研究本部
同	小山浩	日本電子(株)
事務局	吉田晃	(社)電子情報技術産業協会







Standard of Japan Electronics and Information Technology Industries Association

***JEITA EM-3603B***

**Standard of SOI wafers and metrology**

Established in September, 2003

Revised in June, 2006

Prepared by

Silicon Technologies Committee

Technical Standardization Committee on Electronic Materials

Published by

Japan Electronics and Information Technology Industries Association

11, Kanda-Surugadai 3-chome, Chiyoda-ku, Tokyo 101-0062, Japan

Printed in Japan

This document is a translation without guarantee. In the event of any doubt arising, the original standard in Japanese is to be evidenced.

JEITA standards are established independently to any existing patents on the products, materials or processes they cover.

JEITA assumes absolutely no responsibility toward parties applying these standards or toward patent owners.

2002 by the Japan Electronics and Information Technology Industries Association

All rights reserved. No part of this standard may be reproduced in any form or by any means without prior permission in writing from the publisher.

## Contents

<b>Foreword</b> .....	1
<b>1 Scope</b> .....	1
<b>2 Normative references</b> .....	1
<b>3 Standard of SOI wafers</b> .....	3
200 mm $\phi$ SOI Wafers .....	3
300 mm $\phi$ SOI Wafers .....	5
<b>4 Standard measuring method</b> .....	6
<b>4.1 Film thickness (SOI/BOX)</b> .....	6
<b>4.1.1 Measuring method</b> .....	6
<b>4.1.2 Measuring reference and reference measuring instrument</b> .....	8
<b>4.1.3 Measuring area and number of measuring points (measuring positions)</b> .....	8
<b>4.1.4 Standard value</b> .....	9
<b>4.1.5 Others</b> .....	9
<b>4.2 SOI edge pit</b> .....	9
<b>4.2.1 Measuring method</b> .....	9
<b>4.3 HF defect</b> .....	12
<b>4.3.1 Measuring method</b> .....	12
<b>4.3.2 Measuring reference</b> .....	12
<b>4.3.3 Measuring area and number of measuring point</b> .....	12
<b>4.4 Void</b> .....	12
<b>4.4.1 Definition</b> .....	12
<b>4.4.2 Visual evaluation method</b> .....	13
<b>4.4.3 Method to use a light scattering automatic particle counter</b> .....	13
<b>4.4.4 Method to use a reflectance spectrometry film thickness measuring equipment</b> .....	14
<b>4.4.5 Method to use a bright-field defect inspection equipment</b> .....	14
<b>4.4.6 Recommended measuring method</b> .....	14
<b>4.5 Particle</b> .....	14
<b>4.5.1 Light scattering method</b> .....	14
<b>4.6 Contamination</b> .....	17
<b>4.6.1 Pretreatment standard for test pieces at chemical analysis</b> .....	17
<b>4.6.2 Flameless Atomic Absorption Spectrometry (AAS)</b> .....	18
<b>4.6.3 Inductively Coupled Plasma- Mass Spectroscopy (ICP-MS)</b> .....	19
<b>4.6.4 Total X-Ray Fluorescence spectroscopy (TXRF)</b> .....	20

4.6.5	Microwave Photoconductivity Decay ( $\mu$ -PCD)	22
4.7	Warp	23
4.7.1	Measuring method	23
4.7.2	Measuring reference	24
4.8	BOX pinhole	24
4.8.1	Measuring method	24
4.8.2	Copper (Cu) plating	24
4.8.3	I-V characteristic measurement using MOS capacitor structure	26
4.9	BOX dielectric breakdown voltage	28
4.9.1	Measuring method	28
4.9.2	Measuring principle	28
4.9.3	Measuring conditions and remarks	28
4.9.4	Measuring area and number of measuring points	29
4.9.5	Others	29
4.10	Measurement of flatness	29
4.10.1	Measuring method	29
4.10.2	Measuring principle	30
4.10.3	Important	31
4.11	Roughness	31
4.11.1	Atomic Force Microscope (AFM)	31
	Explanation for Standard of SOI wafers and metrology	34

## Standard of Japan Electronics and Information Technology Industries Association

# Standard of SOI wafers and metrology

### Foreword

SOI applications are branching out beyond traditional applications in high-withstand-voltage and power devices to encompass high-end products such as low-power devices and MPUs for computers and game consoles. Indications in various technical roadmaps point to an ever-increasing importance for this technology.

The SOI and Related Wafer Technologies Subcommittee at the Japan Electronics and Information Technology Industries Association (JEITA) has been playing a significant role in the development and widespread application of SOI technology through the determination and will of wafer manufacturers, device manufacturers, and the manufacturers of related evaluation and measurement equipment. Of the subcommittee's various activities, standardization activities are the most important, as they make major contributions to the advancement of Japanese industry by making effective use of finite resources.

At the same time, essential to the formulation of timely and effective standards are ongoing surveys of technology and market trends as well as extraction of technical issues and proposals of methods of resolving them. The pace of technical innovation in SOI is particularly fast. And because of the distinctive nature of SOI wafer composition, often unprecedented breakthroughs are needed in evaluation and measurement technologies. This predicament means that in order to create a meaningful standard, round-robin measurements are sometimes necessary to push ahead technical development. This standard is no exception; it has been established and revised repeatedly through these multifaceted subcommittee activities.

The first SOI standard arrived in March 1996. **JEIDA-50-1996** came about through the activities of the Multi-layer Integration Technology Technical Committee of the Japanese Electronic Industry Development Association (JEIDA), the precursor to this subcommittee. The standard was revised in September 1998 to become **JEIDA-50-1998 Standard specification for SOI wafers**. The **JEIDA-50-1998** standard was completely revamped to keep up with further technological advances and later, after **JEIDA-50-1998** was abolished, **JEITA EM-3603 Standard of SOI wafers and metrology** was established in September 2003, standardizing thin-film SOI for CMOS applications, and **JEITA EM-3604 Standard specification for thick film SOI wafers** was issued in June 2005, standardizing SOI wafers for high-withstand-voltage/power device applications.

Additions were made to **JEITA EM-3603** based on TSC-15 (guidelines on standardization involving industrial property rights) in June 2005, leading to the present **JEITA EM-3603A** standard. This standard, **JEITA EM-3603B**, includes further revisions in line with recent advances in technology.

### 1 Scope

This Standard specifies the standard of thin film SOI wafers for MOS device and their metrology.

### 2 Normative references

The standards listed below constitute a portion of this standard's provisions through their citation in this document. All cited documents refer to the latest published versions (including supplements).

**JEITA EM-3505** Height calibration in 1 nm order for AFM

**SEMI M1** Specifications for polished monocrystalline silicon wafers

**SEMI MF 523-02** Practice for Unaided Visual Inspection of Polished Silicon Wafer Surfaces

**SEMI MF 657-0705** Test Method for Measuring Warp and Total Thickness Variation on Silicon Wafers by Noncontrast Scanning

**SEMI MF 1188-93a** Standard test method for interstitial atomic oxygen content of silicon by infrared absorption with short baseline

**SEMI MF 1390-1104** Test Method for Measuring Warp on Silicon Wafers by Automated Non-Contact Scanning

**SEMI MF 1391-0704** Test Method for Substitutional Atomic Carbon Content of Silicon by Infrared Absorption

**SEMI MF 1771-0304 (2002)** Test Method for Evaluating Gate Oxide Integrity by Voltage Ramp Technique

### 3 Standard of SOI wafers

The application scope and specifications of SOI wafers are given in **Tables 1** and **2**.

**Table 1—200 mm  $\phi$  SOI Wafers**

#### Specification of SOI wafer for CMOS LSI Applications

##### Application scope

Item	Scope	Remark
Diameter	200 mm	
Surface Silicon Thickness	20 nm to 200 nm	
Edge Exclusion	3 mm	
Conductivity Type (SOI)	P or N-type	
Dopant (SOI)	Boron or Phosphorus	
Concentration (SOI)	B: $<1.4E16$ atoms/cm <sup>3</sup> or P: $<4.8E15$ atoms/cm <sup>3</sup>	Resistivity (SOI) $>1 \Omega$ cm
BOX Thickness	50 nm to 200 nm	

##### Specification

Item	Specification Units		
SOI Layer	SIMOX	Bonded	Test Method (Recommendation)
Surface Silicon Thickness (Mean Value Variation)	The larger of $\leq \pm 5\%$ or $\leq 2$ nm		Spectroscopic Ellipsometry Spectroscopic Reflectometry
Surface Silicon Thickness (Variation in Wafer)	The larger of $\leq \pm 5\%$ or $\leq 2$ nm		Spectroscopic Ellipsometry Spectroscopic Reflectometry
Crystal Orientation	$(100) \pm 1^\circ$		X-ray diffraction
Rotation Misalignment	NA	$< \pm 1^\circ$	
Non-SOI Edge Area	NA	$< 3$ mm	
SOI Etch Pit	$< 2E5/cm^2$		Selective Chemical Etching
HF Defect	$< 0.3/cm^2$ [ $> 50$ nm] $< 0.5/cm^2$ [ $T_{soi} > 20$ nm]		HF Etching
Void ( $> 1$ mm)	None		Visual Inspection
Roughness (RMS@ $2 \times 2 \mu$ m)	$< 0.3$ nm	$< 0.2$ nm	Atomic Force Microscope
Roughness (RMS@ $10 \times 10 \mu$ m)	$< 0.7$ nm	$< 0.5$ nm	Atomic Force Microscope
Metal Contamination (Surface) Fe, Ni, Cr, Cu	$< 1E10/cm^2$ for each one		ASS/ICP-MS TXRF
LPD ( $>$ minimum diameter)	$\leq 250$ [ $@ \geq 0.13 \mu$ m]		Optical Particle Counter
Scratch	None		Optical Particle Counter
Haze	None		Visual Inspection
Slip	None		Visual Inspection
Oxygen concentration			
Carbon concentration			

Table 1 – 200 mm  $\phi$  SOI Wafers (continued)Specification of OI wafer for CMOS LSI Applications (200 mm  $\phi$  )

BOX	SIMOX	Bonded	Test Method (Recommendation)
Thickness Variation (BOX)	$\leq \pm 5\%$		Spectroscopic Ellipsometry Spectroscopic Reflectometry
BOX Pinholes	$<0.3/\text{cm}^2$ [ $>130$ nm]	$<0.1/\text{cm}^2$ [ $>130$ nm]	MOS Capacitance/Mercury Probe Cu Plating
BOX Dielectric Breakdown	$>4$ MV/cm@ $1$ mm <sup>2</sup> [ $>100$ nm]	$>6$ MV/cm@ $1$ mm <sup>2</sup> [ $>100$ nm]	MOS Capacitance Mercury Probe
Dielectric Constant			
Interface Roughness			

Support Substrate	SIMOX	Bonded	Test Method (Recommendation)
Edge chip	None		Visual Inspection
Edge Crack	None		Visual Inspection
Foreign Matter	None		Visual Inspection
Oxygen Concentration	Same as Starting Wafer		<b>SEMI MF 1188-93a</b>
Carbon Concentration	Same as Starting Wafer		<b>SEMI MF 1391-93</b>

Back Surface	SIMOX	Bonded	Test Method (Recommendation)
Metal Contamination (Backside) Fe, Ni, Cr, Cu	$<1\text{E}11/\text{cm}^2$ for each atom		AAS/ICP-MS TXRF

Mechanical Characteristics	SIMOX	Bonded	Test Method (Recommendation)
Warp	$<40$ $\mu\text{m}$		<b>SEMI MF 1390</b>
Thickness Variation (GBIR=TTV)	$<3$ $\mu\text{m}$		
Flatness-site	Same as Starting Wafer	Same as Base Wafer	Dielectric Capacitance
SFQR	Same as Starting Wafer	Same as Base Wafer	Dielectric Capacitance
SFQR-PUA	Same as Starting Wafer	Same as Base Wafer	Dielectric Capacitance



Table 2—300 mm  $\phi$  SOI Wafers

## Specification of SOI Wafers for CMOS LSI Applications

## Application scope

Item	Scope	Remark
Diameter	300 mm	
Surface Silicon Thickness	20 nm to200 nm	
Edge Exclusion	3 mm	
Conductivity Type (SOI)	P or N-type	
Dopant (SOI)	Boron or Phosphorus	
Concentration (SOI)	B: <math>1.4E16 \text{ atoms/cm}^3</math> or P: <math>4.8E15 \text{ atoms/cm}^3</math>	Resistivity (SOI) >1 $\Omega$ cm
BOX Thickness	50 nm to200 nm	

## Specification

Item	Specification Units		
SOI Layer	SIMOX	Bonded	Test Method (Recommendation)
Surface Silicon Thickness (Mean Value Variation)	The larger of $\leq \pm 5\%$ or $\leq 2 \text{ nm}$		Spectroscopic Elipsometry Spectroscopic Reflectometry
Surface Silicon Thickness (Variation in Wafer)	The larger of $\leq \pm 5\%$ or $\leq 2 \text{ nm}$		Spectroscopic Elipsometry Spectroscopic Reflectometry
Crystal Orientation	$(100) \pm 1^\circ$		X-ray diffraction
Rotation Misalignment	NA	$< \pm 1^\circ$	
Non-SOI Edge Area	NA	$< 3 \text{ mm}$	
SOI Etch Pit	$< 2E5/\text{cm}^2$ [Tsoi>50 nm]		Selective Chemical Etching
HF Defect	$< 0.3/\text{cm}^2$ [>50 nm]		HF Etching
Void (>1mm)	None		Visual Inspection
Roughness (RMS@2x2 $\mu$ m)	$< 0.3 \text{ nm}$	$< 0.2 \text{ nm}$	Atomic Force Microscope
Roughness (RMS@10x10 $\mu$ m)	$< 0.7 \text{ nm}$	$< 0.5 \text{ nm}$	Atomic Force Microscope
Metal Contamination (Surface) Fe, Ni, Cr, Cu	$< 1E10/\text{cm}^2$ for each one		ASS/ICP-MS TXRF
LPD (> minimum diameter)	$\leq 500$ [ @ $\geq 0.13 \mu\text{m}$ ]		Optical Particle Counter
Scratch	None		Optical Particle Counter
Haze	None		Visual Inspection
Slip	None		Visual Inspection
Oxygen concentration			
Carbon concentration			

Table 2— 300 mm  $\phi$  SOI Wafers (continued)Specification of SOI Wafers for CMOS LSI Applications LSI (300 mm  $\phi$  )

BOX	SIMOX	Bonded	Test Method (Recommendation)
Thickness Variation (BOX)	$\leq \pm 5\%$		Spectroscopic Ellipsometry Spectroscopic Reflectometry
BOX Pinholes	$<0.3/\text{cm}^2$ [ $>130$ nm]	$<0.1/\text{cm}^2$ [ $>130$ nm]	MOS Capacitance/Mercury Probe Cu Plating
BOX Dielectric Breakdown	$>4\text{MV}/\text{cm}@1$ mm <sup>2</sup> [ $>100$ nm]	$>6\text{MV}/\text{cm}@1$ mm <sup>2</sup> [ $>100$ nm]	MOS Capacitance Mercury Probe
Dielectric Constant			
Interface Roughness			

Support Substrate	SIMOX	Bonded	Test Method (Recommendation)
Edge chip	None		Visual Inspection
Edge Crack	None		Visual Inspection
Foreign Matter	None		Visual Inspection
Oxygen Concentration	Same as Starting Wafer		<b>SEMI MF 1188-93a</b>
Carbon Concentration	Same as Starting Wafer		<b>SEMI MF 1391-93</b>

Back Surface	SIMOX	Bonded	Test Method (Recommendation)
Metal Contamination (Backside) Fe, Ni, Cr, Cu	$<1\text{E}11/\text{cm}^2$ for each atom		AAS/ICP-MS TXRF

Mechanical Characteristics	SIMOX	Bonded	Test Method (Recommendation)
Warp	$<60$ $\mu\text{m}$		<b>SEMI MF 1390</b>
Thickness Variation (GBIR=TTV)	$<3$ $\mu\text{m}$		
Flatness-site	Same as Starting Wafer	Same as Base Wafer	Dielectric Capacitance
SFQR	Same as Starting Wafer	Same as Base Wafer	Dielectric Capacitance
SFQR-PUA	Same as Starting Wafer	Same as Base Wafer	Dielectric Capacitance

#### 4 Standard measuring method

##### 4.1 Film thickness (SOI/BOX)

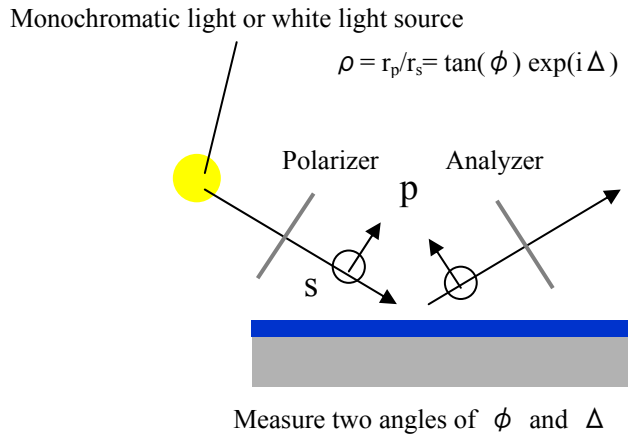
###### 4.1.1 Measuring method

Spectro-ellipsometry and reflectance spectrometry are specified in this Standard. However, at the actual measurements, measuring instruments shall be calibrated with measuring reference test piece prepared in advance under the condition that the reliability of the instruments shall be confirmed before the measurements.

- a) **Spectro-ellipsometry** As shown in **Fig. 2**, monochromatic light will be radiated on the specimen after being polarized into linear light with a polarizer. The reflected elliptically polarized light will pass through an analyzer and a spectroscope so that amplitude reflectance ( $\tan \phi$ ) and phase difference ( $\cos \Delta$ ) will be measured. Meanwhile, calculate

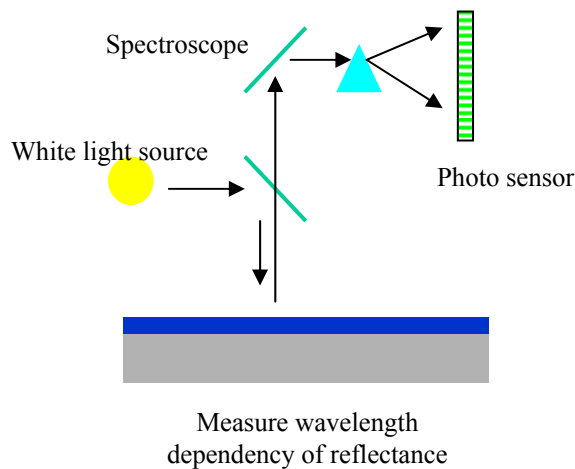
$$(\tan \phi)(\cos \Delta)$$

theoretically, assuming the multi-layer structure, complex dielectric function of each layer and film thickness sequentially, and obtain the film thickness which is most approximate to the measured value.



**Fig. 2— Spectro-ellipsometry**

- b) Reflectance spectrometry** As shown in **Fig.3**, white light will be radiated on SOI substrate. The strength of its reflectance will be measured after wavelength dispersion. The incident light on SOI substrate will be reflected at the surface of SOI layer, and the surface and underside of implanted oxide film. At this time, the phase may also be changed. The final strength of light reflected at SOI layer surface will be the sum of the light reflected at whole areas, and light path difference may be generated due to thickness of SOI layer and implanted oxide film, causing phase difference corresponding to wavelength. As a result, reflectance strength dependent on wavelength can be obtained. These reflectance spectrum characteristics will be compared with the theoretical spectrum characteristics obtained in advance by simulation, and thickness of each layer can be calculated by finding points of identity.



**Fig. 3— Reflectance spectrometry**

**4.1.2 Measuring reference and reference measuring equipment**

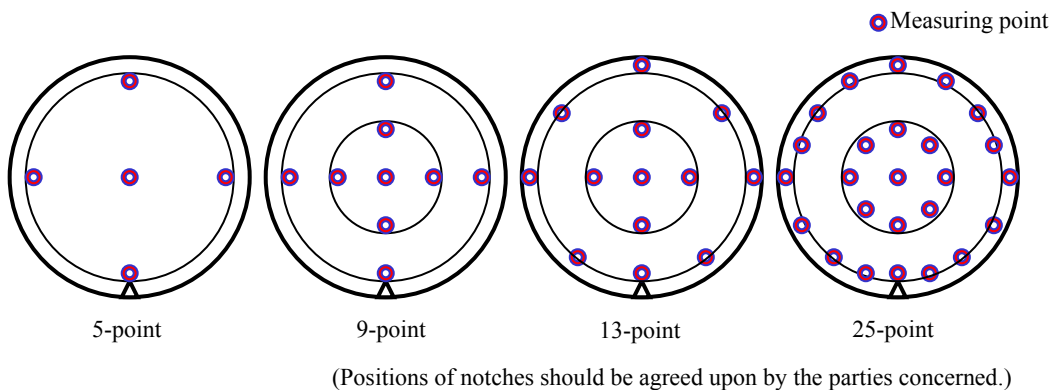
The calibration of measuring equipment as hardware shall be performed by the standard bodies such as NIST, etc. by using reference materials (silicon oxide film [single layer]/silicon wafer) with guaranteed absolute values (reliability). In addition, in order to guarantee accuracy of the measured value at SOI/BOX film thickness configuration, which is identical to the object to be measured, SOI wafer (pieces) with superior uniformity of film thickness shall be prepared and specified as measuring references. For daily control of film measurements, these measuring references shall be used. If possible, several measuring references of different types should be prepared. The SOI/BOX film thickness of measuring reference should be determined by the measured values by transmission electron microscope (TEM). However, either the spectro-ellipsometry film measuring equipment (that meets wavelength resolution: < 0.07 nm @ 313 nm,  $\tan \phi$  and  $\cos \Delta$ :  $1.000 \pm 0.010$  @straight line) or the reflectance spectrometry film thickness measuring equipment (for example, including characteristics of alternative characteristics that meets with  $\pm 1\%$  against NIST reference materials (oxide film thickness = 100 nm), etc.) shall be defined as the measuring reference (SOI wafer) for control of instrument for non-destructive (in terms of wafers) measurement. Then, the film thickness obtained by simultaneous measurements of SOI/BOX with these measuring instruments shall be used.

**4.1.3 Measuring area and number of measuring points (measuring positions)**

The measuring area is defined to the whole of surface except the edge-removed area in this Standard. The measurements on the discrete points would be accepted with the center of probe placed on the following measuring points in the following two cases; when measurement accuracy has potential problems originating with diameter of probe in wafer edge region and when only discrete points can be measured in terms of measuring speed.

- 1) Center of wafer
- 2) Each vertex of regular polygon inscribed in a concentric circle of which radius is smaller by 10 mm than the wafer
- 3) Each vertex of regular polygon inscribed in a concentric circle with a given radius

The total number of measuring points will not be specified, however, it should be as many as possible.. When measuring points of 5/9/13/25 are selected, the measuring points shall be in accordance with **Fig.4**.



**Fig. 4—Measuring points**

#### 4.1.4 Standard value

The standard values for film thickness (SOI/BOX) are defined against the average values and standard deviation by "First method", and the average values and ranges by "Second method" based on measured data on given number of measuring points. Either of these methods shall be determined by the agreement of the parties concerned.

"First method" Average value  $m$ /Standard deviation  $\sigma$

- Tolerance  $\Delta\%$  for average value  $m$   

$$T \cdot (100 - \Delta\%) / 100 < m < T \cdot (100 + \Delta\%) / 100$$
- Tolerance  $\Delta\%$  for standard deviation  $\sigma$   

$$T \cdot \Delta\% / 100 > 3 \cdot \sigma$$

"Second method" Average value  $m$ /Range  $R$

- Tolerance  $\Delta\%$  for average value  $m$   

$$T \cdot (100 - \Delta\%) / 100 < m < T \cdot (100 + \Delta\%) / 100$$
- Tolerance  $\Delta\%$  for range  $R$   

$$T \cdot \Delta\% / 100 > R$$

Where,  $T$ : Targeted value (nm) and  $n$ : Number of measuring points

In addition, standard values for values calculated by "Third method" and "Fourth method" could be defined, but these are only reference values in this Standard.

"Third method"

- Tolerances  $\Delta\%$  for average value  $m$  and standard deviation  $\sigma$   

$$T \cdot (100 - \Delta\%) / 100 < m - 3 \cdot \sigma$$

$$m + 3 \cdot \sigma < T \cdot (100 + H\%) / 100$$

"Fourth method"

- Tolerance  $\Delta\%$  for whole measured values  $X_i$  ( $i = 1, n$ )  

$$T \cdot (100 - \Delta\%) / 100 < X_i < T \cdot (100 + \Delta\%) / 100$$

#### 4.1.5 Others

As for film thickness measurement of bonded SOI wafers, the measure value of oxide film thickness at formation of the oxide film could be used in place of BOX thickness (only in case that the fluctuation band (p-v) of SOI thickness against variation of BOX thickness on wafer surface could fall within 2 % of the median). At this time, the BOX thickness (representing value) shall be measured in accordance with **the measuring area and number of measuring points (measuring positions)** given in 5.1.3.

## 4.2 SOI etch pit

### 4.2.1 Measuring method

Density of SOI etch pit shall be measured by selective etching method and optical microscope. The specimen for this evaluation shall be at least 1/4 of a wafer.

When oxide is found on surfaces of wafers before specimen evaluation, the oxide shall be removed by immersing it into HF liquid. To minimize the variation of measured density due to foreign substance on wafer surface after selective etching, the wafer shall be cleaned well prior to selective etching (for example, wafer shall be cleaned with SC-1 prior to selective etching). After this process, selective etching shall be performed in specimen as follows.

As selective etching liquid, the following three could be applied.

- 1) **Standard Secco-etch liquid** Molar volume 1 (volume ratio) of 0.15  $K_2Cr_2O_7$  dissolved into distilled water + HF (49 %) 1
- 2) **A type of diluted Secco** 50 ml of HF (49 %) + 80 ml of  $HNO_3$  (61 %) + 160 ml of  $H_2O$  [ $K_2Cr_2O_7$  1g +  $Cu(NO_3)_2 \cdot 3H_2O$  4g]
- 3) **A type of diluted IT** <sup>2)</sup> 1 ml of HF (49 wt %) + 15 ml of  $HNO_3$  (61 wt %) + 6 ml of  $CH_3COOH$  (99.7 wt %) + 6 ml of  $H_2O$  + 0.067 ml of KI (0.1 mol (16.6 g/11 $H_2O$ ))

**Note**<sup>2)</sup> See P34 : clause 5 **Management of industrial properties, etc.**

The SOI layer machining allowance and residue film thickness shall be defined as follows based on the SOI layer film thickness prior to selective etching.

- 1) When SOI layer film thickness is 100 nm or more, the SOI layer film thickness after selective etching shall be 30 nm to 50 nm.
- 2) When the SOI layer film thickness is between 50 nm and 100 nm, half or more of the SOI layer film thickness prior to selective etching shall be removed with selective etching. The remaining thickness of the SOI layer in this case shall range between 20 nm and 50 nm.
- 3) When the SOI layer film thickness is less than 50 nm, half or more of the SOI layer film thickness prior to selective etching shall be removed with selective etching. The remaining thickness of the SOI layer in this case shall range between 10 nm and 25 nm.

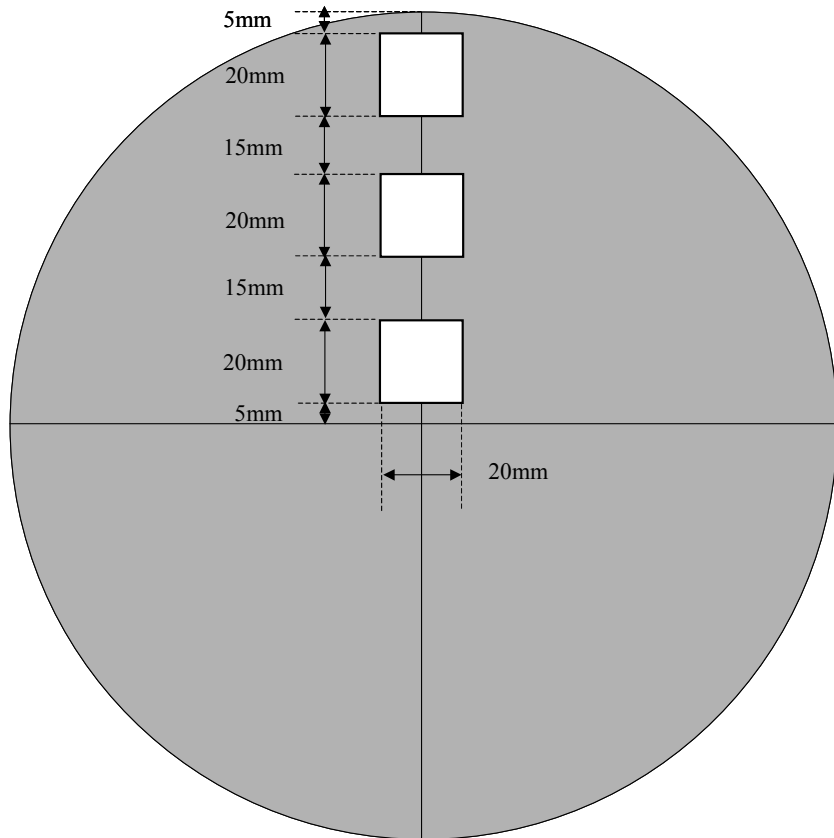
Of the selective etching solutions mentioned above, we recommend the use of an etching solution with a slow etching rate, either (2) or (3), to afford more control over the remaining thickness of the SOI layer.

After selectively etching the SOI layer and rinsing it in water, the sample is soaked in a HF solution (49 percent) for at least one minute. The HF solution removes the embedded oxide, producing voids under etch pits. The density of SOI etch pits is measured by counting the number of voids under an optical microscope. When the SOI layer thickness is 25 nm or less after selective etching, verify that the HF silicon etching has no impact on the results. If an impact is suspected, adjust the procedure by diluting the 49-percent concentrated HF solution.

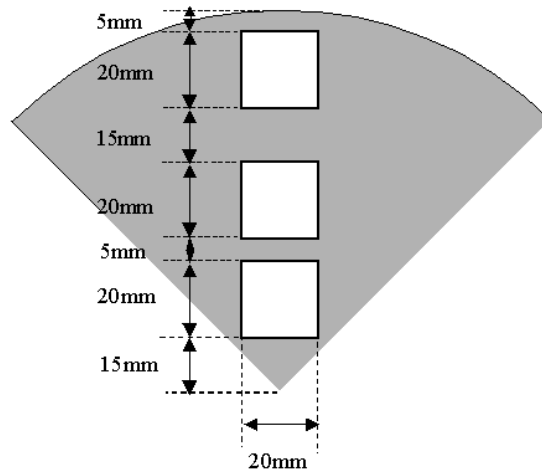
#### 4.2.2 Measuring area and number of measuring points

Etch pits shall be measured under 50-times to 500-times magnification (50-times is recommended) in at least three places — near the center of the wafer, at half the radius from the center, and near the edge.

Templates are frequently employed to specify the measurement areas when measuring etch pits. Reference templates are given for a 200-mm-diameter wafer when the wafer is not divided (Fig. 5) and when the wafer is divided into quarters (Fig. 6). When working with a 300-mm-diameter wafer, extrapolate from these templates and measure etch pits near the center of the wafer, at half the radius from the center, and near the edge.



**Fig. 5— Case of unbroken wafers**



**Fig. 6— Case of 4-divided wafer**

When measurements are conducted by using the templates shown in **Fig. 5** and **Fig. 6**, measurements shall be performed at total 12 points of 4 vertexes of 3 squares. There is another method to define SOI etch pit density. In this method, etch pit density at each measuring point will be calculated and summed up, and the sum will be divided by the number of measuring points so that the average value will be obtained.

### 4.3 HF defect

#### 4.3.1 Measuring method

HF defect is a generic term for defects which become obvious in SOI layer by HF etching. A test piece for this evaluation shall be the whole wafer surface or at least 1/4 of it. The test piece shall be immersed into approximately 50 wt % HF liquid for about 10 to 15 minutes or approximately 25 wt % HF liquid for 3 to 4 hours, and dried after water washing. In this process, when voids and oxide that expose BOX, metal soluble into HF and silicide exist at positions to short-circuit between SOI layer surface and BOX, then, HF liquid would dissolve the BOX directly underneath a defect through these defects. The size would depend on the concentration of HF liquid and immersions period, and is about 20  $\mu\text{m}$  to 100  $\mu\text{m}$  and could be easily observed with an optical microscope.

#### 4.3.2 Measuring reference

Defects of diameters 20  $\mu\text{m}$  to 100  $\mu\text{m}$  after HF etching shall be counted as HF defects. It is recommended to use an optical differential interference microscope of approximately x50 to x200 magnifications (object lens x ocular lens.) .

There are two methods to calculate HF defect density.

- 1) The total account of HF defects shall be divided by total measuring area to indicate the density
- 2) Considering a case that has uneven distribution of HF defects, density at each smaller area shall be calculated by dividing the measuring area into a few smaller areas.

In each case, the density shall meet the Standard.

#### 4.3.3 Measuring area and number of measuring point

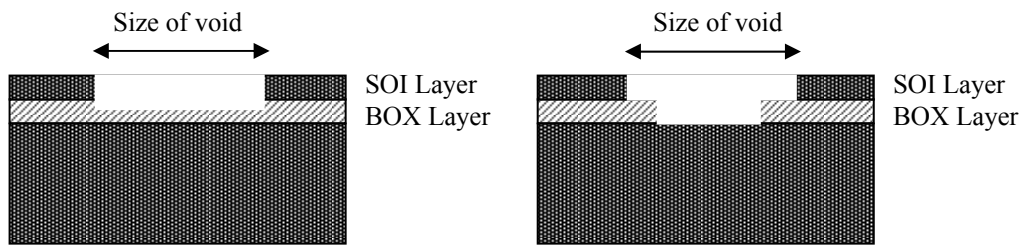
It is recommended that the whole area of wafer surface except edge removed region or at least 1/4 area should be scanned.

### 4.4 Void

#### 4.4.1 Definition

Void is not a gap between bonded boundary faces, but it is a defect which is detectable with the naked eye at the time of delivery of SOI wafers. As shown in **Fig. 7**, it is either the exposed BOX layer due to dropout of SOI layer or the exposed silicon surface of substrate due to dropout of SOI layer as well as a part of BOX layer. In either case, the size of dropout of SOI layer shall be the size of the void as shown in **Fig. 7**. When a dropout is circular form, the distance corresponding to the diameter is the size of the void. When a dropout is in infinite shape, the longest distance in the longitudinal direction or the distance equivalent to average diameter shall be the size of the void. In a case that equipment could measure the defect size corresponding to the area of a dropout area as a void, the void size from the measuring method (equipment) shall be the size of a void.





**Fig. 7—Definition of a void**

**Note** In JEIDA-50-1998, a void is defined as " an air gap generated by disaggregation between Si and oxide film boundary face, and it should be distinguished from disaggregation due to adhesive strength test". As for evaluation method, infrared interference method, ultrasonic flaw detection method, magic mirror method and X-ray topography are listed, and ultrasonic flaw detection method is recommended. In addition, as this cannot be evaluated at the time of delivery of SOI wafers, evaluation will be performed for what can be perceived during manufacturing processes of SOI wafers.

#### 4.4.2 Visual evaluation method

a) **Measuring principle and measuring method** In accordance with the visual appearance test method for mirror wafers specified in SEMI MF 523-02, sensory test examiners, who have been trained and qualified, shall conduct visual check with the naked eye the surface illuminated with controlled light. The color of dropout portions in SOI layer would change due to the interference color of multi-layer film, and those portions can be observed with the naked eye examination with collected light under fluorescent lighting. The voids which are detectable with this method are those with sizes of a few 10  $\mu\text{m}$  to 1 mm  $\phi$  or larger, and the sizes would be determined by comparing with samples of defect limits with the naked eye.

#### b) Cautions

- 1) Illumination intensity, distances to lighting sources and illuminating angles, etc. may vary from those values specified in SEMI MF 523-02 according to SOI layer and BOX layer film configurations. .
- 2) Examination shall be conducted on the whole surface where SOI layer exists. When edge excluded region is given, visual examination shall be conducted on the surface except the excluded region.
- 3) Detectable limits and accuracy of detection may vary depending on the levels of skill and training of sensory inspectors, and it would be necessary to provide periodic visual adjustment and training.

#### 4.4.3 Method to use a light scattering automatic particle counter

a) **Measuring principle and measuring method** The details are specified in 5.5 Particle, and particulates are detected by scattering light in this Standard. Detection of voids is conducted as scattering at dropout in SOI layer and voids could be detected as particulates with a few 10  $\mu\text{m}$  or larger diameter.

#### b) Cautions

- 1) The lateral direction size and scattering strength of a void, that is particle size, may not have correlation depending on SOI film configuration, and detection of voids could be impossible. In particular, in thin film area, the step at an SOI dropout would be small to generate less scattering, and the size may be detected as being much smaller than the actual void size.
- 2) **All of the** particles of a few 10  $\mu\text{m}$  or larger diameter may not be voids, but some could be adherent foreign objects. This method is unable to distinguish them from each other.

- 3) When edge excluded region is given, it is possible to carry out examination excluding the region by setting equipment.

#### 4.4.4 Method to use a reflectance spectrometry film thickness measuring equipment

a) **Measuring principle and measuring method** The details are specified in **5.1 Film thickness**. In this Standard, the film thickness of SOI is measured. Therefore, when a void is found in a measuring spot during multi-point measurements with a small measuring spot, then, a dropout portion of SOI, that is, a point where film thickness is equal to 0, can be detected as an abnormal value of film thickness measurement. As the diameter of measuring spot becomes smaller, the size of detectable spot becomes smaller, and the number of measuring points increases. It is necessary to measure at multiple points, as a void may not be detected when it does not fit in a measuring spot.

#### b) Cautions

- 1) As voids can be detected only as abnormal film thickness, it is difficult to define actual void sizes. Moreover, it is unable to determine which is the case; the case where a dropout is local one in a measuring spot or the case where the abnormality of film thickness is present over the whole spot area.
- 2) When edge excluded region is given, it is possible to carry out examination excluding the region by setting equipment.

#### 4.4.5 Method to use a bright-field defect inspection equipment

a) **Measuring principle and measuring method** This is a method which is applied in defect inspection equipment of wafers with patterns. This method extracts defects by comparing contrast of images that are taken into with scanning on whole wafer surfaces by an optical microscope with bright field or other instruments. The accuracy of sizes of voids is relatively high because of bright field image, and it is easy to set a threshold value for detection. However, when the sensitivity is adjusted to be high enough to detect even very small voids of a few  $\mu\text{m}$  or less, measurement will need a long time.

#### b) Cautions

- 1) This method will need more time to measure one wafer than visual evaluation method as well as light scattering automatic particle counter method. For a large void, this method may detect one defect as a high contrast portion and a low contrast portion with a continuous defect of a few separate points.
- 2) When edge excluded region is given, it is possible to carry out examination excluding the region by setting equipment.

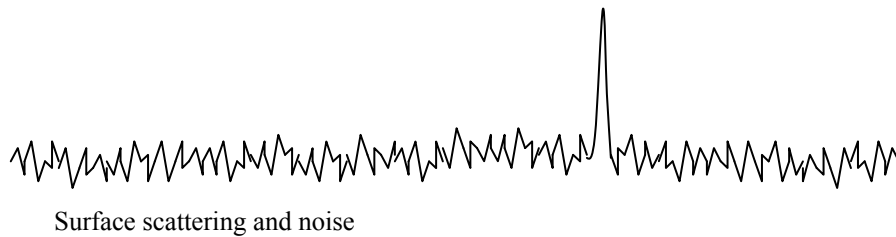
#### 4.4.6 Recommended measuring method

In this Standard, visual inspection method is recommended as a voids measuring method. The size of void to be detected shall be agreed upon by the parties concerned.

### 4.5 Particle

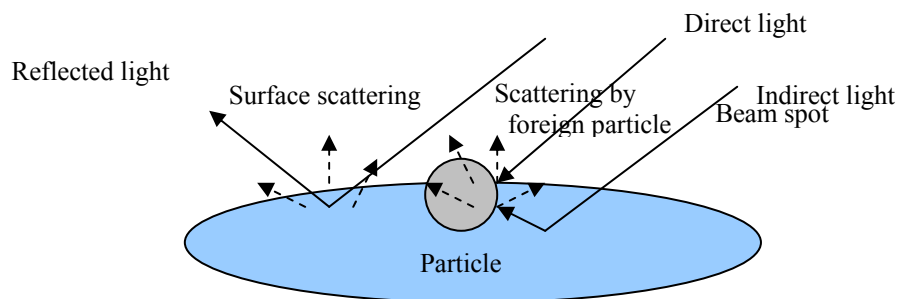
#### 5.5.1 Light scattering method

a) **Measuring principle** For non-pattern wafers, laser beam will be radiated on a wafer surface and the scattered light on the surface will be received. As shown in **Fig. 8**, when scattered light is received during scanning with laser beam on a wafer surface, the scattered light from particles will be detected as pulse signal component with repeatability, and scattered light and noise from a wafer surface will be detected as direct current component and weak alternative current signals.



**Fig. 8—Signal waveform detected**

In general, size of beam to be radiated is large for the sizes to be detected ( $1\ \mu\text{m}$  or smaller particles). Image of principle is shown in **Fig. 9**. It would help to understand clearly that scattered light might have various information of wafer surface.



**Fig. 9—Image of measuring principle**

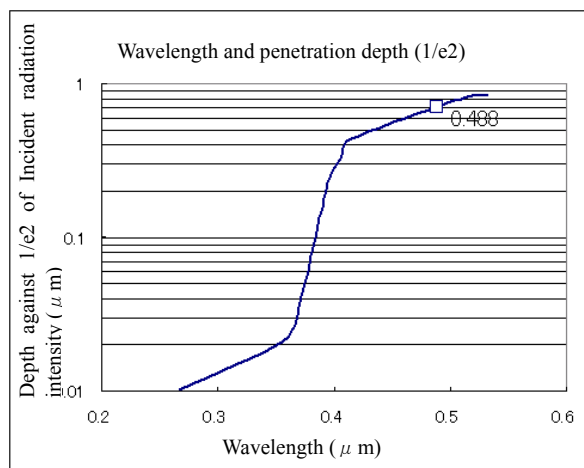
Scanning by laser beam can be classified broadly into two categories. One is to scan laser beam itself and the other is to move (or rotate) wafers with fixed laser beam. Both have already been implemented. As for receiving methods, there are two ways. One is to direct scattered light to a light-receiving element through a scattered light collective lens, and the other is to collect scattered light with a mirror. Generally, photo multiplier is used as a light-receiving element and it catches weak scattered light with high gain.

- b) Issues for measurements of SOI wafers** For wafers with multi-layer configuration such as SOI wafers, there should be some ingenious ways. This is because silicon wafers can be handled as metal film with near total reflection, but SOI wafers with thin film of silicon layer may behave similarly to transmission films. On SOI wafers, the light reflected from surface and the light reflected from each boundary of multi-layer after penetrating into specimen may cause interference, and reflection intensity would sensitively depend on film thickness of SOI layer and BOX layer. Consequently, sensitivity of measurement will largely depend on configuration, and sensitivity for a certain configuration would be deteriorated extremely when compared with silicon wafers.

In addition, on SOI wafers there are reflection not only from particles, but also from the following causes. They are roughness of surface, boundary between SOI/BOX or boundary of BOX/Si substrate, defects in SOI layer, minute defects such as COP in silicon substrate, etc. and they generate reflection which is similar to that from particles. It is necessary to distinguish noise due to these causes other than particles from signals from particles.

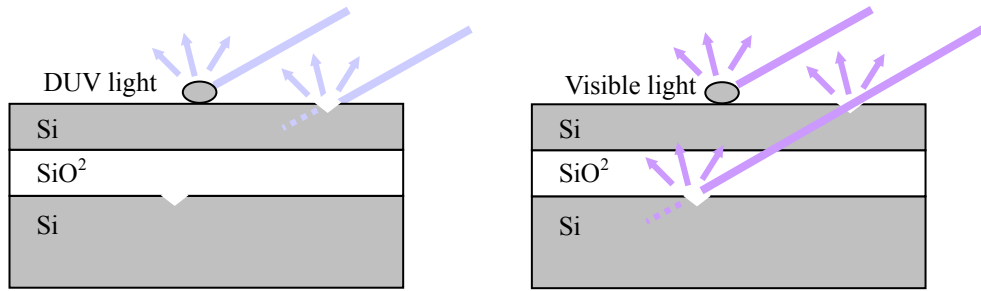
c) **Trials of new measurement methods** Several new methods have been proposed to resolve the inherent difficulties with SOI wafers given above and to achieve particle measurements of adequate sensitivity. Highly sensitive detectors using deep ultraviolet light (DUV) instead of conventional visible light have appeared that reportedly can measure SOI wafers with nearly the same sensitivity as bare silicon (bulk). There is promise, then, of a technical solution to the pressing problem of increasing the sensitivity of particle measurements on SOI wafers. At the present time, however, we do not have enough data to recommend these procedures as standard measurement methods. Still, we will introduce several of them below.

The first technique considered is to reduce the wavelength of incident radiation. In general, to detect smaller micro-sized foreign bodies, either a more intense light source is used or the source’s wavelength is made smaller. The measurement sensitivity with laser light, however, is unstable because some wavelengths penetrate the wafer, which means internal information will affect surface information. Thus, reducing the wavelength is a more effective means of increasing sensitivity and preventing penetration into the wafer bulk. As Fig. 10 shows, when the wavelength is reduced to below 350 nm, the silicon penetration depth falls off to less than 20 nm. At this penetration depth, the effects of internal boundaries and other structures can be ignored for a SOI wafer with a film thickness of around 50 nm. Detectors have already appeared with primary light sources of 355 nm and 266 nm. These detectors can achieve a 60-nm PSL sensitivity with SOI wafers.



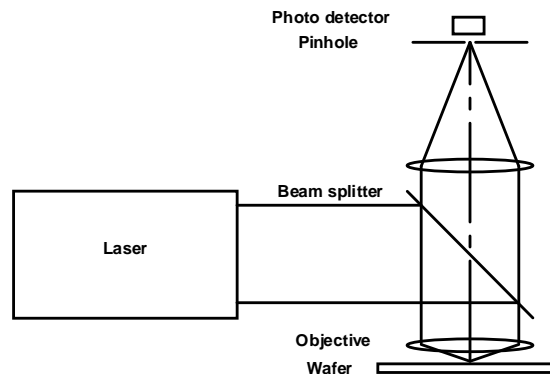
**Fig. 10—Shortening of wavelength of incident radiation**

Other proposed methods of measuring surface layers and measuring the bulk use a second non-DUV wavelength as an incident beam. These measurement methods make use of the differences in silicon penetration depths caused by the different wavelengths (the shorter the wavelength, the larger the attenuation in the silicon bulk). These measurement methods can obtain both surface information and bulk information from SOI wafers and have the potential of aiding quality improvements in SOI wafers (Fig. 11).



**Fig. 11**—Method of measuring surface and bulk defects with wavelength differences

Finally, as a method to detect foreign objects with high sensitivity, there is a method to utilize laser confocal optical system. In this method, radiation of incident laser beam will be focused on a wafer surface and the reflected light from the surface will be focused at a pinhole arranged in front of a photo detector that receives the light passing through the pinhole. When there are particles on the surface of wafer, the wave front of reflected light may be deformed and the reflected light may be spread instead of being focused at the pinhole. Consequently, the quantity of light passing through the pinhole will decrease. Detection of this quantity variation of received light will lead to detection of particles.



**Fig. 12**—Laser confocal optical system

#### 4.6 Contamination

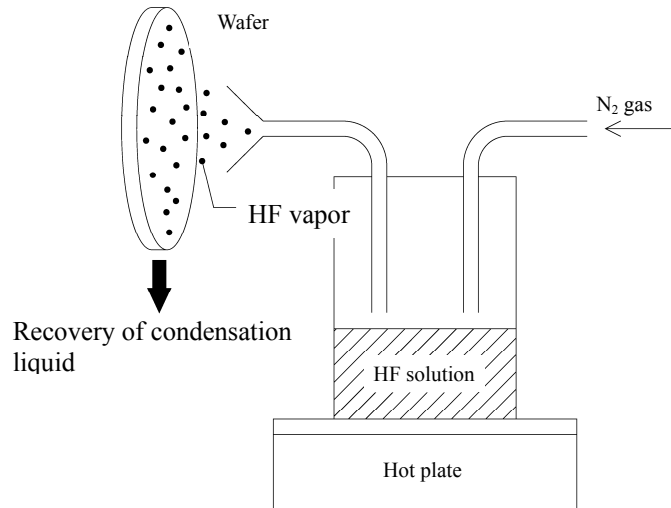
Specific standard for contamination (number of measuring points, accuracy, etc.) shall be agreed upon by the parties concerned.

##### 4.6.1 Pretreatment standard for test pieces at chemical analysis

Chemical analysis such as Atomic Absorption Spectroscopy (AAS) and Inductively Coupled Plasma-Mass Spectroscopy (ICP-MS) requires pretreatment for bringing metal contamination on wafer surface into solution. To improve reliability of analysis, it is important to inhibit contamination from chemicals and environment upon pretreatment. At this pretreatment for chemical analysis, only average information of the whole surface can be obtained because contamination is collected from the whole surface of a wafer.

At present, Vapor Phase Decomposition (VPD) method to decompose wafer surface in HF based ambient is mostly applied. **Fig. 13** shows a method to collect dew condensation formed by forcibly insufflated HF vapor with

gas. In addition, there are other methods. They are, for example, a method by natural condensation of vapor, a method to decompose surface with free fall of seeped recovery liquid, and a method to scan with holding recovery liquid. As chemicals for decomposition and recovery, pure HF is used in most cases. However, there is an issue that recovery rate for metal with small ionization tendency (e.g. Cu) is not good enough, and it is now under study to improve recovery rate with adding oxidant, such as  $\text{H}_2\text{O}_2$  and  $\text{HNO}_3$ .

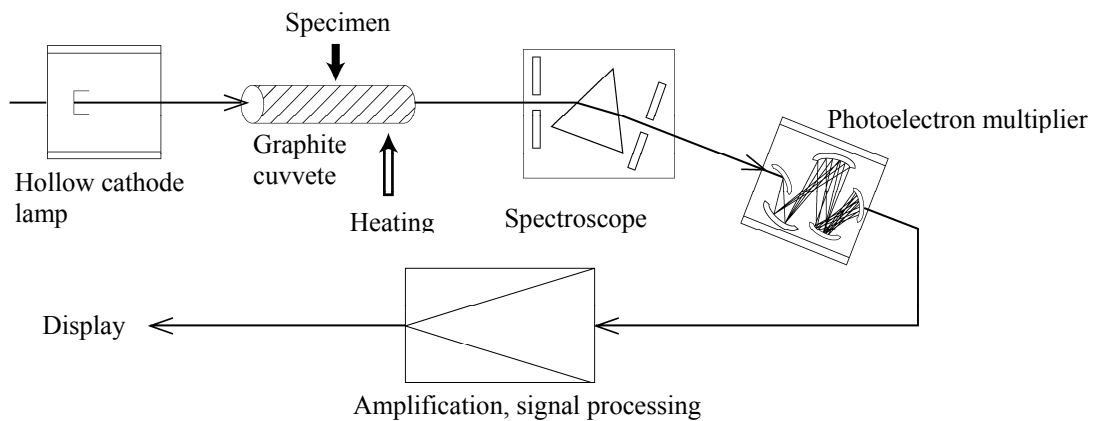


**Fig. 13—Pretreatment of test pieces for VPD method**

#### 4.6.2 Flameless Atomic Absorption Spectrometry (AAS)

As shown in **Fig. 14**, a slight amount of solution specimen will be put into a graphite cuvette, will be heated and dried so that ashing and atomization will be performed.. It is a method to measure the absorption by atomic vapor of characteristic radiation generated from a hollow cathode lamp. The lower limit of detection is several 10 to several 100 ppt, and for major metals adhered on wafers such as Na, Al, Cr, Fe, Ni and Cu, it would be in the first half of  $10^9$  atoms/cm<sup>2</sup>. Al will generate sublimation  $\text{AlF}_3$  coupled with fluoride ions by heating. This will have vaporized before atomization, and therefore, it will be unable to analyze intact HF recovered liquid (Some modification substances may be necessary to remove fluoride ions or to mask fluoride ions).

Characteristically, this method needs a small amount of reagents, the equipment has a long history with high maturity, and the cost of equipment is relatively low. As shortcomings, pretreatment requires skill, and takes a long time when multiple elements are required to be analyzed, for atomization can be achieved only for one element at a time. Recently, the market has offered flameless AAS equipment that has higher sensitivity by 10 times (catalog value) compared with a photoelectron multiplier by applying multi-channel semiconductor detectors and a plane optical system. At the same time, it has realized multi-elements simultaneous analysis, although conditionally.



**Fig. 14 – Conceptual diagram of AAS equipment**

#### 4.6.3 Inductively Coupled Plasma- Mass Spectroscopy (ICP-MS)

As shown in **Fig. 15**, this is a method to introduce specimen into high temperature plasma and analyze the ions mass. Argon gas is used as plasma source, and quadrupole type as mass analyzer system is used in most cases. Mass spectroscopy is a highly sensitive analysis method, and ionization efficiency of ICP is high. Therefore, analysis sensitivity of ICP-MS is very high (the lower limit of detection is sub ppt to several ppt, and this is approximate  $10^8$  atoms/cm<sup>2</sup> when it is converted into wafer surface concentration). In addition, ICP-MS has many features such as simultaneous multi-element analysis. As shortcomings, it requires skills for pretreatment similar to AAS, and moreover, it requires larger amount of solution (a few ml) for nebulizer method, and lower detection limit for Fe is slightly inferior due to the interference of  $^{56}\text{ArO}^+$ .

Currently, double pole convergence type ICP-MS with higher resolution of mass compared with quadrupole type has been observed in the market, and this type can avoid interference of most molecular ions.

There are various ways of specimen introduction for ICP-MS and those have their own purposes.

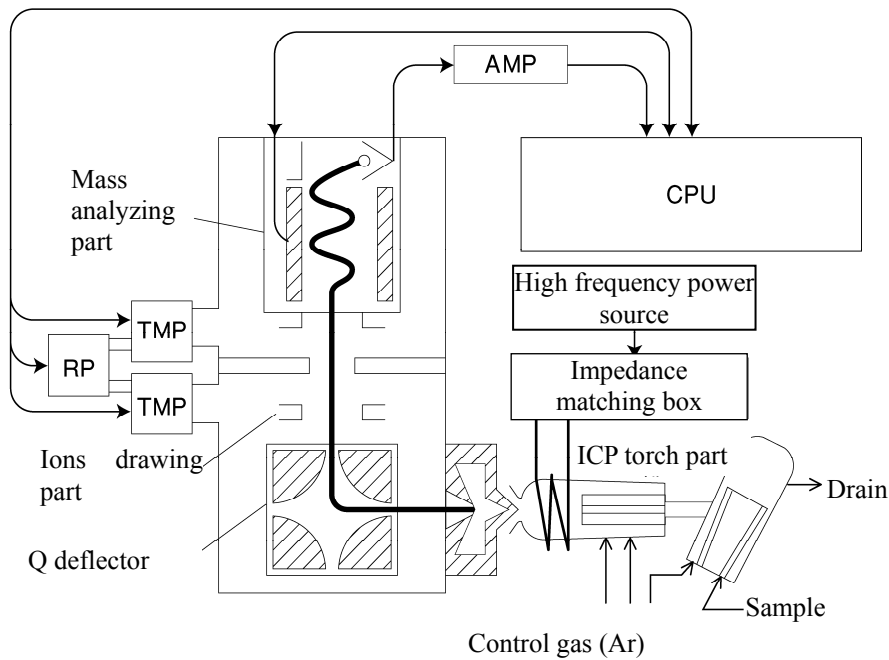


Fig. 15— Conceptual diagram of ICP-MS equipment (quadrupole type)

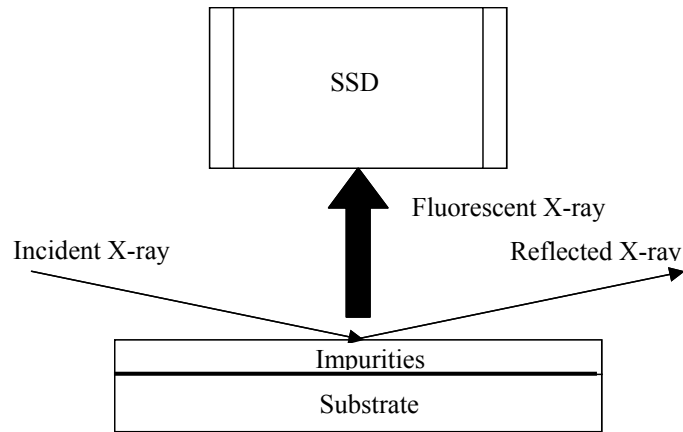
- a) **Nebulizer method** This is the most generally-used method and introduces the atomized solution into plasma, based on spray principle. There are many examples of analysis. However, this method has the following shortcomings. A certain period of time is required until signal strength will stabilize after introduction of specimen, and moreover, approximately 10 mL of reagent is required due to the low transport factor of sprayed specimen to plasma at 5 % or less. Therefore, the liquid concentrated with VPD method shall be re-diluted by about 10 times and the lower limit seen from wafer surface density base will decrease by about single digit. Recently, Micro Concentric Nebulizer (MCN) has been developed and this enables selective production of mist of particle sizes that arrives more easily to plasma. As a result, this equipment is capable of effective analysis even when only minute quantity of specimens is available, for example in the case for VPD method. .
- b) **Ultrasonic nebulizer method** This is a method to generate high density minute mist by ultrasonic wave, to heat and cool the mist, to evaporate solvent, to obtain dry and concentrated aerosol, and to introduce the aerosol into plasma. The efficiency of introduction of specimen has been improved to produce 1 to 2 digits higher sensitivity compared with a conventional nebulizer method. However, the construction is rather complex and contamination and drift are large due to stagnation of flow of specimen.
- c) **Electro thermal evaporating method** This is a method to introduce objective elements into plasma with carrier gas by evaporating the objective elements through heating and drying solution of specimen. The feature is that the required amount of specimen is less (0.02 ml to 0.05 ml), but this method has not yet been established as a firm technique, and experience is required to handle this method.

#### 4.6.4 Total X-Ray Fluorescence spectroscopy (TXRF)

As shown in Fig. 16, this is one type of fluorescent X-ray analysis. When excitation X-ray is irradiated on a mirror-finished surface of a test piece at a low angle of 0.2 degree or less,, most of X-ray will be reflected totally at the same angle, but a small portion will penetrate into the test piece to the depth of a few nm. The X-ray will excite the substances located in the penetrated area, and X-ray fluorescence specific to the elements will be generated. This



fluorescence will be detected by a solid-state detector (SSD), and the types and surface density of the contamination elements will be measured. As the scattered ray of excitation X-ray will be hardly caught by the detector due to the total reflection phenomenon, the spectrum obtained has a very low background and enables high sensitive analysis.



**Fig. 16— Principle of TXRF method**

As the features of this method, the following points are listed: Special skills for measurements is not required due to unnecessary of pretreatment, and distribution in a plane, simultaneous multi-element analysis and information on depth direction are available. As the shortcomings, practical lower limits of detection which is inferior to AAS, susceptibility of signal strength by distribution in depth direction and semi-destructive analysis due to the susceptibility by particles contamination during measurement could be listed.

In addition, at the measurement and quantitative determination, attention must be paid for specific issues which are represented by interference peak.

- a) **Impurities peak (ghost peak)** When excitation X-ray enters at a particular direction, strong diffraction light will enter an SSD, exciting impurities in the SSD and generating impurities peak. Impurities peaks by Fe, Ni and Cu are reported. Recently, as a technique to avoid the effects of diffraction by maintaining incident direction of excitation X-ray constant, a method and equipment to make the stage to be  $xy\theta$  has been proposed and demonstrated. As a result of this, measurements in an incident direction of excitation x-ray that is resistant to generate strong diffraction lines are possible at all points on a surface plane.
- b) **Distribution in depth direction** The intensity of excitation X-ray has intense distribution in depth direction, and it causes much variation of quantitative values depending on depth of objective elements. Therefore, attention must be paid to interpretation of quantitative results of specimens whose distribution in depth direction are not known.
- c) **Pileup or sum peak** This is the peak generated at the position corresponding to the sum of energy of plural photons that enter SSD. For analysis of silicon wafers, this could be generated at the position of twice as much energy (3.48 keV) as Si-K  $\alpha$  (1.74 keV).
- d) **Escape peak** This is the peak generated at the position corresponding to the difference of energy between energy of excitation X-ray diffraction light and energy of the diffraction light partly absorbed by Si in SSD.
- e) **Relative position to SSD** SSD has the highest sensitivity immediately under the center, and the sensitivity will

decrease with distance from the center. When contamination substances are concentrated in a smaller area than an SSD radius, then, intensity of fluorescent X-ray will vary depending on the relative position of the both. Therefore, attention must be paid to interpretation of quantitative results of specimens whose plane distribution is not known.

#### 4.6.5 Microwave Photoconductivity Decay ( $\mu$ -PCD)

This is a method to detect decay due to the recombination of minority carriers generated by laser pulse irradiation by means of microwave reflectance variation. Decay time constant numerical is called as lifetime. When impurity levels due to contamination or crystal defects exist, they will become the recombination centers of carriers, which will reduce the lifetimes. This method has features such as high sensitivity, non-contact and non-destructive measurements, availability of mapping at minute pitches and easy measurement, etc.. However, it has shortcomings such as necessity of thermal treatment prior to measurement (diffusion of contamination into crystal, surface passivation), and inability to quantify the specified elements other than Fe.

This method is different from AAS, ICP-MS and TXRF methods, and needs to effectively generate carriers in SOI layer and to trace the change of the carriers' density with high sensitivity, because this method detects the contamination that diffused into crystals and generated impurity levels by means of carriers lifetime variations. For this purpose, as shown in **Fig. 17**, it is proposed that lifetime is measured by means of excitation by ultraviolet laser and detection system of differential microwave. The penetration depth of excitation light of 355 nm wavelengths into silicon is about 10 nm ( $1/e$ ). When this light is irradiated on SOI layer of a few 10 nm thickness or more, carriers will be generated only in SOI layer, will remain in SOI layer due to the potential barrier of BOX, and will eventually disappear through recombination. Therefore, evaluation of only SOI layer will be available.

In addition, use of differential microwave detection system will provide highly sensitive detection capability by reducing various noises, which will enable the accurate detection of the carriers' density change in a SOI layer. However, when a SOI layer is thinner, the disappearance rate of the generated carriers at the surface and the BOX boundary will increase. Therefore, attention must be paid to the fact that the obtained lifetime would not always represent deterioration of the crystal quality due to contamination, etc. alone.

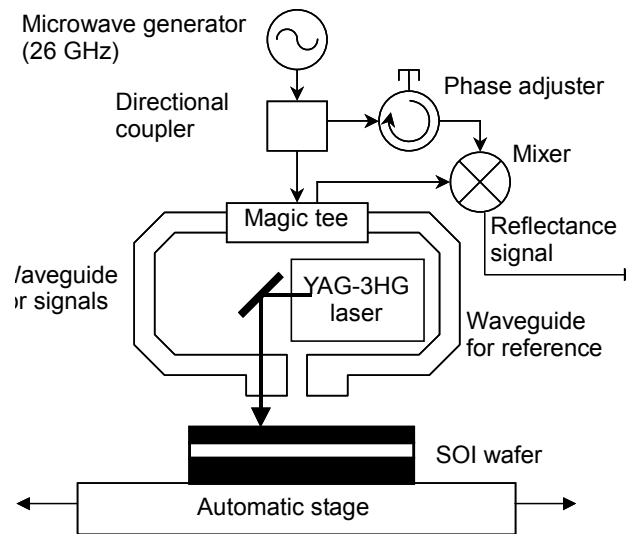


Fig. 17— Principle of ultraviolet laser excitation differential  $\mu$ -PCD method

## 4.7 Warp

### 4.7.1 Measuring method

In accordance with the recommendation in 9.4 of SEMI M1, measurement shall be performed based on the provisions in SEMI MF 1390 or SEMI MF 657.

SEMI MF 1390 is the standard for automatic and non-contact measuring method to rectify warps of silicon wafers which are caused by gravitational effect. Scanning would be conducted on the whole specified area. This method would not be affected by variations of wafers' thickness, because a central reference plane is used.

SEMI MF 657 is the standard for manual and non-contact measuring method to scan continuously a specified portion of wafer surface. In this method, no rectification would be done on warps of silicon wafers which are caused by gravitational effect. This method uses a reference plane on backside of wafer, and the measured warps may involve contributions by variations of wafers' thickness.

In SEMI MF 1390, warp is defined as follows.

$D$  : Distance between probe a and probe b

$a$  : Distance between front surface of wafer and probe a

$b$  : Distance between backside of wafer and probe b

$t$  : Thickness of wafer (always positive number)

$z$  : Distance between wafer's central plane and the midpoint of two probes (probe a and probe b).

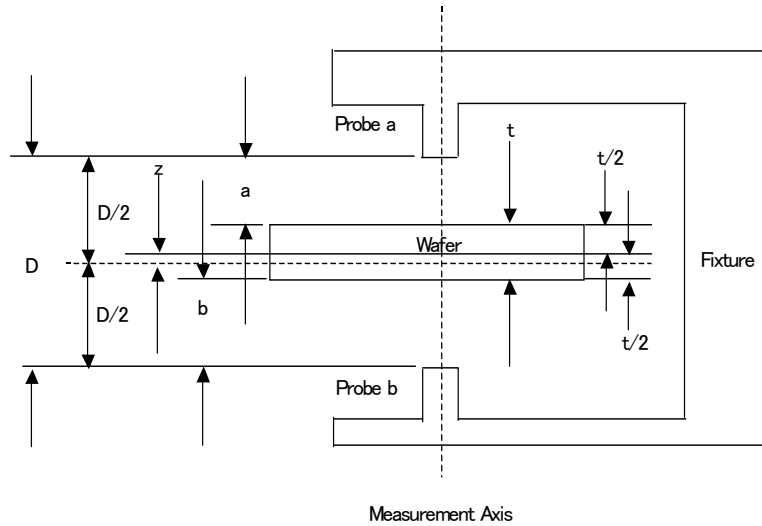
Among  $D$ ,  $a$ ,  $b$ ,  $t$  and  $z$ , there is the following relation.

$$z = D/2 - a - t/2$$

$$z = -D/2 + b + t/2$$

$$z = (b - a)/2$$

The distance between the midpoint of two probes and wafer's central point will be expressed based on scan pattern.



**Fig. 18—Physical positions of parameters at measurement of warp**

All position data  $z$  for scan patterns shall be measured. Correction value  $z_{com}$  shall be the value obtained by subtracting a gravitational correction factor ( $z_{gravity}$ ) from a measured value.

$$z_{com} = z - z_{gravity}$$

A gravitational correction factor shall be the value obtained by adding the measured values at both sides of reference wafer at calibration, and dividing the sum by 2, as follows.

$$z_{gravity} = ((z_{nor}) + (z_{inv}))/2$$

$z_{nor}$  is the value of  $z$  when normal surface of reference wafer is positioned against probe a, and  $z_{inv}$  is the value of  $z$  when inverse surface is positioned against probe b. However, as  $z_{gravity}$ , a theoretical value could be applied.

The plane from which  $z_{com}$  is derived by minimum square law shall be the reference plane. Reference plane deviation (RPD) is defined as the difference between the gravitational corrected value ( $z_{com}$ ) at each measuring point and the measured value ( $z_{ref}$ ) at reference plane, as follows.

$$RPD = z_{com} - z_{ref}$$

Warp is defined as the difference between the maximum and the minimum of RPD, as follows.

$$Warp = RPD_{max} - RPD_{min}$$

#### 4.7.2 Measuring reference

Measuring reference shall comply with bulk wafers.

### 4.8 BOX pinhole

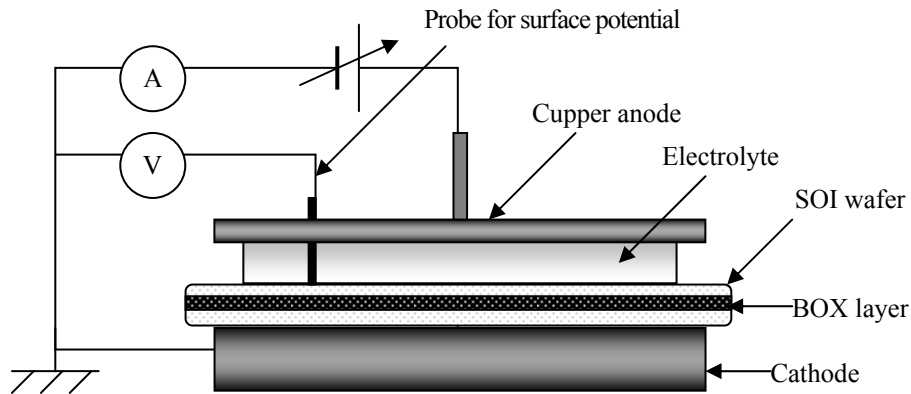
#### 4.8.1 Measuring method

Copper (Cu) plating (Electrolyte: copper sulfate or methanol) and I-V characteristic measurement using MOS capacitor structure shall be applied as standard measuring methods. I-V characteristic measurement using MOS capacitor structure can be applied when BOX pinholes are supposed to be uniformly distributed within a wafer. In addition, this could be replaced by I-V characteristic measurement using mercury probe measurement system.

#### 4.8.2 Copper (Cu) plating

- a) **Measuring principle** As shown in **Fig. 19**, as SOI wafer is placed on a cathode, and an anode made of Cu is fixed above the wafer surface. After filling the gap between the wafer surface and the Cu anode with electrolyte consisting of Cu sulfate or methanol, a voltage is applied between the anode and the cathode. Under appropriate

conditions, circular Cu electro deposition with convexity at the center would grow at SOI surface immediately above BOX pinholes. By counting the number of depositions, the number of pinholes can be determined.



**Fig. 19—Principle of copper electrocrystallization**

#### **b) Measuring conditions and remarks**

##### **1) When using Cu sulfate solution as electrolyte**

- 1.1) During electro deposition, light such as fluorescent light shall be irradiated.
- 1.2) The Cu anode shall have uniformly-distributing holes to allow sufficient irradiation light so that it will reach sample surface at electro deposition. The total area of holes should exceed 30% of the total area of Cu anode.
- 1.3) The Cu sulfate solution shall be kept on the wafer with electrochemical cell structure. The distance between the Cu anode and the sample should be around 1 to 5 mm. Alternatively, the Cu sulfate solution may be kept soaked in a thick paper such as filter paper placed directly on the sample surface.
- 1.4) When thickness of BOX layer is between 100nm and 200nm, or around 400nm, the suitable concentration of Cu sulfate solution is about 0.01 mol/L and 0.05 mol/L, respectively.
- 1.5) Electro deposition period should be about 1 minute for BOX layer between 100 nm and 200 nm, and about 5 minutes for that around 400 nm.
- 1.6) Applied voltage for electro deposition should be chosen to give electrical field across the BOX layer of about 1 MV/cm.

##### **2) When using methanol as electrolyte**

- 2.1) During electro deposition, light such as fluorescent light shall be irradiated.
- 2.2) The Cu anode shall have uniformly-distributed holes to allow sufficient irradiation light to reach sample surface at electro deposition. The total area of holes should exceed 30% of the total area of Cu anode.
- 2.3) Before starting electro deposition, SOI layer of the sample shall be removed such with KOH.
- 2.4) The methanol solution shall be kept on the wafer with electrochemical cell structure. The distance between the Cu anode and the sample should be around 5 mm.
- 2.5) To enhance Cu deposition, it is preferable to dissolve Cu sulfate in the methanol with the concentration level of 0.01 mol/L and under.

2.6) Electro deposition period should be around 10 minutes.

2.7) Applied voltage for electro deposition should be chosen to give electrical field across the BOX layer of about 1 MV/cm.

c) **Measuring area and number of measuring points**

- 1) Ideally, the total number of Cu depositions should be counted in the wafer area within edge exclusion (EE).
- 2) When the distribution of pinholes can be assumed to be almost uniform within a wafer, evaluation of the area within a given distance (for example, 5 mm) from the wafer edge would be sufficient. In this case, evaluation of a divided part of a wafer such as 1/4 piece should also be applicable

d) **Others** Ammeters and voltmeters used for this evaluation shall be calibrated in accordance with the calibrated reference measuring instruments.

4.8.3 **I-V characteristic measurement using MOS capacitor structure**

This can be applied when distribution of BOX pinholes is assumed to be uniform within a wafer.

a) **Measuring principle** As shown in Fig. 20, SOI layer shall be etched into mesas so that many MOS capacitor structures consisting of SOI layer/BOX layer/Si substrate will be formed and distributed uniformly and periodically on a wafer. .

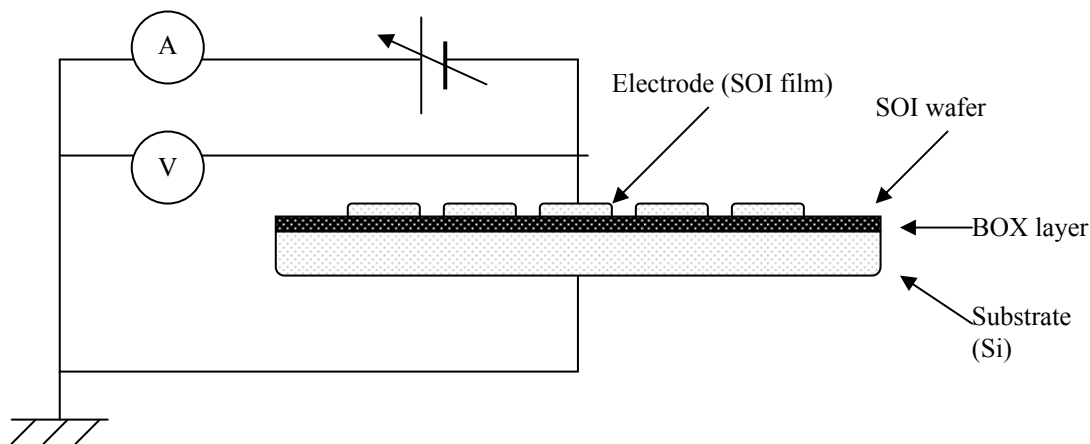


Fig. 20—Measuring method of I-V characteristic

After applying a low voltage on each MOS capacitor structure at the level not causing dielectric breakdown of BOX layer, the current flowing across the BOX layer shall be measured. When the measured current exceeds a pre-determined threshold value, the particular capacitor is judged to be defective containing pinholes. Thus, occurrence rate  $F$  of defective capacitors shall be obtained from measurements with many capacitors. When BOX pinholes can be assumed to distribute uniformly within a wafer, the BOX pinhole density  $D$  can be obtained from the following Poisson distribution function as,

$$1 - F = \exp(-D \cdot S)$$

where  $S$  is the area of top electrode of a MOS capacitor.

b) **Measuring conditions and remarks** MOS capacitor structures should be arranged to cover the whole area of wafer surface as much as possible. To obtain a sufficient number of capacitors for evaluation on a wafer, MOS capacitors with necessary electrode size should be distributed on a wafer surface periodically with 0.5 cm to 1 cm pitch.

- 1) To prevent voltage drop at SOI layer, SOI layer should be degenerately doped in with dopant such as phosphorus with concentration of  $10^{20} \text{ cm}^{-3}$  or more. In addition, it is recommended that metal should be deposited on the SOI layer.
  - 2) The polarity of voltage applied on capacitors shall be normally set so as to make the substrate side accumulated.
  - 3) The voltage applied on capacitors shall be chosen to give electrical field across the BOX layer of about 1 MV/cm.
  - 4) The threshold current density to judge a capacitor as defective should be between  $100 \text{ nA/cm}^2$  to  $10 \text{ mA/cm}^2$ .
  - 5) Several types of capacitors with different electrode area in a range of about  $10^{-3} \text{ cm}^2$  to  $1 \text{ cm}^2$  are being prepared and measurement will be normally conducted with capacitors for electrode area of about  $0.1 \text{ cm}^2$  to  $1 \text{ cm}^2$ . In case that occurrence rate of defective capacitors becomes close to 100 %, additional measurements with smaller electrodes shall be performed to evaluate accurate BOX pinhole density.
- c) **Measuring area and number of measuring points** Ideally, the whole wafer surface within edge exclusion (EE) should be measured. When this is not possible due to inconvenience of electrode formation or any other reasons, measurements shall be performed for the area extending to EE as close as possible. To maintain validity of statistical analysis, a guideline of number of measuring points shall be 100 or above. In addition, the measuring points shall be evenly distributed all over the wafer surface.

d) **Others**

- 1) Ammeters and voltmeters used for this evaluation shall be calibrated in accordance with the reference measuring instruments calibrated.
- 2) Measurement of I-V characteristic using MOS capacitor structures could be replaced by I-V characteristic measurement using mercury probe measurement system.

In this case, after removing SOI layer with such as alkaline solution, the mercury probe shall be contacted on the surface of BOX layer. Voltage which is low enough not to cause BOX dielectric breakdown shall be then applied between the mercury probe and backside electrode on the rear surface of the wafer and the current through the BOX layer should be measured. The definition of pinhole density, the measuring conditions and remarks, the measuring area and the number of measuring points, and the calibration of measuring instruments shall comply with those in the method using MOS capacitor structure.

- 3) Even when BOX pinholes show uneven distribution within a wafer such as forming clusters, it would be possible to analyze pinhole density by using the following Seeds' formula as,

$$1 - F = (1 + DS/\alpha)^{-\alpha}$$

where,

$F$  : Failure rate at MOS capacitor measurement

$S$  : Area of capacitors

$D$  : Defect density

$\alpha$  : Clustering parameter

setting the clustering parameter carries ambiguity. So, when BOX pinholes distribute not uniformly within a wafer, it is recommended to use Cu plating method which can detect exact position of each BOX pinhole.

## 4.9 BOX dielectric breakdown voltage

### 4.9.1 Measuring method

The standard measuring method shall be TZDB (Time Zero Dielectric Breakdown) characteristics measurement of MOS capacitors. In addition, this method could be replaced by TZDB characteristics measurement using mercury probe measurement system.

### 4.9.2 Measuring principle

An SOI layer shall be etched into mesas so that many MOS capacitor structures consisting of SOI layer/BOX layer/Si substrate will be formed and distributed uniformly and periodically on a wafer. Current-Voltage characteristics of the MOS capacitor structures shall be measured by applying a stepwise-ramping voltage on each MOS capacitor. Dielectric breakdown voltage of BOX should be determined in accordance with the method described in 5.9.3.

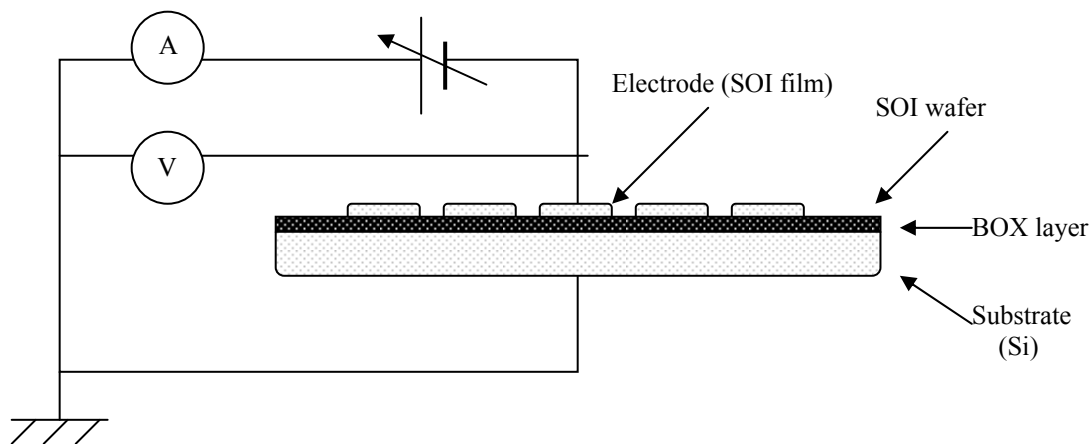


Fig. 21 – TZDB characteristic measuring method of MOS capacitors

### 4.9.3 Measuring conditions and remarks

MOS capacitor structures should be arranged to cover the whole area of wafer surface as much as possible. To obtain a sufficient number of capacitors for evaluation on a wafer, MOS capacitors with necessary electrode size should be distributed on a wafer surface periodically with 0.5 cm to 1 cm pitch.

- a) To prevent voltage drop at SOI layer, SOI layer should be degenerately doped with dopant such as phosphorus with concentration of  $10^{20} \text{ cm}^{-3}$  or more. In addition, it is recommended that metal should be deposited on the SOI layer.
- b) The polarity of voltage applied on capacitors shall normally be set so as to make the substrate side accumulated.
- c) To obtain sufficiently smooth current-voltage characteristics for the range of 0 MV/cm -10 MV/cm that has been usually used to report BOX dielectric breakdown field, the ramping voltage step should be equivalent to about 0.5 MV/cm or less as electric field in the BOX layer.
- d) To eliminate influence of time-dependent breakdown from the measurements, it is recommended that step voltage and step time of the ramping will be adjusted so as to complete evaluation of one MOS capacitor within 1 minute.
- e) The criteria for dielectric breakdown voltage shall comply with the standard conditions used in TZDB evaluation of gate oxide. The following examples are listed in SEMI MF 1771-0304, 4.4 for desirable criteria.



- 1) Voltage when the measured current reaches 98 % for ammeter's compliance value.
  - 2) Voltage when the measured current keeps increasing by more than 10 times with two successive ramping voltage steps.
  - 3) Voltage when the measured current density normalized with electrode area reaches to the preset threshold value in the range between  $1\mu\text{A}/\text{cm}^2$  and  $100\text{ mA}/\text{cm}^2$ .
- f) Several types of capacitors with different electrode area in a range of about  $10^{-3}\text{ cm}^2$  to  $1\text{ cm}^2$  are being prepared, and measurement will be normally conducted with capacitors for electrode area of about  $0.1\text{ cm}^2$  to  $1\text{ cm}^2$ . When the density of BOX pinhole is too high and BOX dielectric breakdown can not be properly measured due to the influence of electrical characteristics (shortage) of BOX pinhole, additional measurements shall be performed with smaller electrodes.
- g) For SIMOX wafers, etc., there are cases where BOX dielectric breakdown characteristics depend on capacitor area. Therefore, when comparing characteristics between different materials, measurement shall be conducted with the same capacitor area.

#### 4.9.4 Measuring area and number of measuring points

Ideally, the whole wafer surface within edge exclusion (EE) should be measured. When this is not possible due to inconvenience of electrode formation or any other reasons, measurements shall be performed for the area extending to EE as close as possible. To maintain validity of statistical analysis, the number of measuring points shall be 100 or above a guideline. In addition, the measuring points shall be evenly distributed all over the wafer surface.

#### 4.9.5 Others

- a) Ammeters and voltmeters used for this evaluation shall be calibrated in accordance with the calibrated reference measuring instruments.
- b) Measurement of I-V characteristic using MOS capacitor structures could be replaced by I-V characteristic measurement using mercury probe measurement system.

In this case, after removing SOI layer such with alkaline solution, the mercury probe shall be contacted on the surface of BOX layer. Stepwise-ramping voltage shall be then applied between the mercury probe and backside electrode on the rear surface of the wafer, and the current through the BOX layer should be measured. The definition of pinhole density, the measuring conditions and remarks, the measuring area and the number of measuring points, and the calibration of measuring instruments shall comply with those in the method using MOS capacitor structure.

### 4.10 Flatness

#### 4.10.1 Measuring method

For measurement of flatness of SOI wafers, the same measuring principle as flatness measuring method of ordinary bulk wafers is applied. The main measuring principles consist of the static capacitance method and the optical method. In the static capacitance method, the variation of distance between a sensor with two electrodes in the same plane and the wafer surface is measured as the variation of static capacitance. In this case, measurement will be performed on both sides of a wafer. After measurements, flatness of the surface will be output based on the assumption that the inverse side being a plane in calculation. As for the optical method, there are methods as follows; Using a displacement meter utilizing reflected light, measuring inclination by measuring reflected light intensity at inclined wafer surface and using light interference on a reference plane. As for measuring, there are two methods. One is to output flatness by measuring from both sides, assuming the inverse side as a plane in calculation

as static capacitance method. The other is to measure only a single side of a wafer using a reference sucker.

**4.10.2 Measuring principle**

a) **Static capacitance measuring method** In flatness measurement of a wafer by static capacitance, as shown in **Fig. 22**, the flatness will be obtained by measuring the static capacitance that depends on the distance between the electrode at the end of a probe and the wafer surface, as follows.

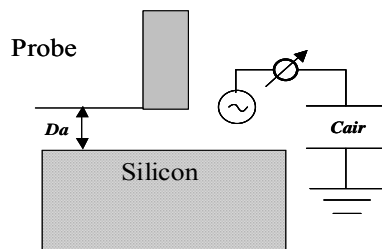
$$(C_{air}) = (\epsilon_a \cdot s) / Da$$

where,

$\epsilon_a$  : Permittivity of air

$S$  : Area

By measuring static capacitance, displacement of wafer surface could be measured.



**Fig. 22— Static capacitance measuring method**

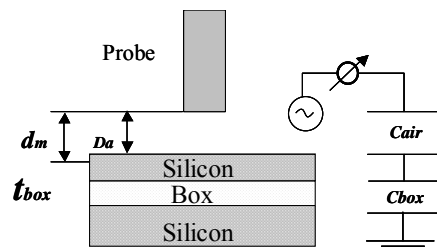
In a case of SOI wafers, as shown in **Fig. 23**, there are a silicon layer and an oxide film (Box) with different permittivity under the surface silicon layer, and the thickness of this Box layer will affect static capacitance. Because of presence of this Box layer, the capacitance ( $C_{air}$ ) between a probe and wafer surface, and the capacitance ( $C_{box}$ ) generated by this box layer will be connected in series. The measured thickness will become thinner by the following calculated value against the absolute thickness based on a reference of wafer surface.

$$(t_{box}) = (1 - 1/\epsilon s)$$

where,

$\epsilon s$  : Permittivity of Box

Accordingly, the SOI flatness includes the error which is equal to  $1/\epsilon s$  of dispersion of Box thickness. In actual SOI, the thickness of Box layer is about 100 nm. If the dispersion of thickness is assumed to be 5 %, , the permittivity  $\epsilon s$  of oxide film is approximately equal to 4. Therefore, the error of flatness is about 1 nm, which is small enough to be neglected practically .



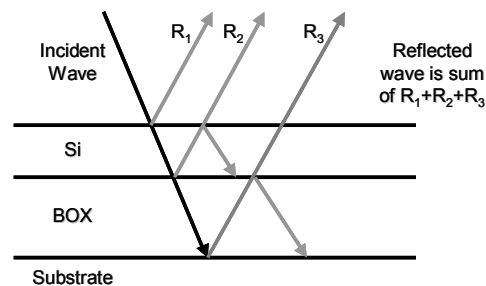
**Fig. 23— Case of SOI wafers**

## b) Optical measuring method

- 1) **Reflection type displacement sensor** This is a method which uses a light beam type displacement sensor, directs the beam obliquely to the wafer surface, detects the spot positions of reflected light by a sensor and measures the displacement of wafer surface. The measurement will be conducted from both sides of a wafer.
- 2) **Reflected light intensity sensor** By irradiating light on the whole area of wafer surface and by inclining wafer surface, the intensity of reflected light from wafer surface will be measured with a CCD camera. In this method, a wafer shall be fixed with a sucker and the whole area shall be measured.
- 3) **Light interference method** This is a method which uses laser beam through a beam splitter and measures phase difference caused by the reflected light from a reference plane with minute vibration and the reflected light from wafer surface. There are two measuring methods. One is to observe from both sides of wafer while the wafer is being rotated. The other is to measure the whole surface area of wafer which is fixed to the sucker.

### 4.10.3 Remark

It has to be noted that in an optical measurement the penetration depth depending on wavelength of light and the incident angle against a wafer may change the measured data. As shown in **Fig. 24** for the case of SOI, the observed reflected light from a wafer surface contains the reflected light from the surface ( $R_1$ ), the reflection from the boundary between the surface silicon layer and implanted oxide film layer ( $R_2$ ), and the reflected waves from implanted oxide film layer and bulk silicon layer ( $R_3$ ). Only the reflected light from wafer surface ( $R_1$ ) is necessary for measurement. Other reflected lights are observed as noises and they may cause errors. Therefore, it is necessary to investigate how to eliminate the reflected light from these boundaries or to examine suitable incident angle and wavelength, and those should be verified.



**Fig. 24—Reflected light from SOI wafer**

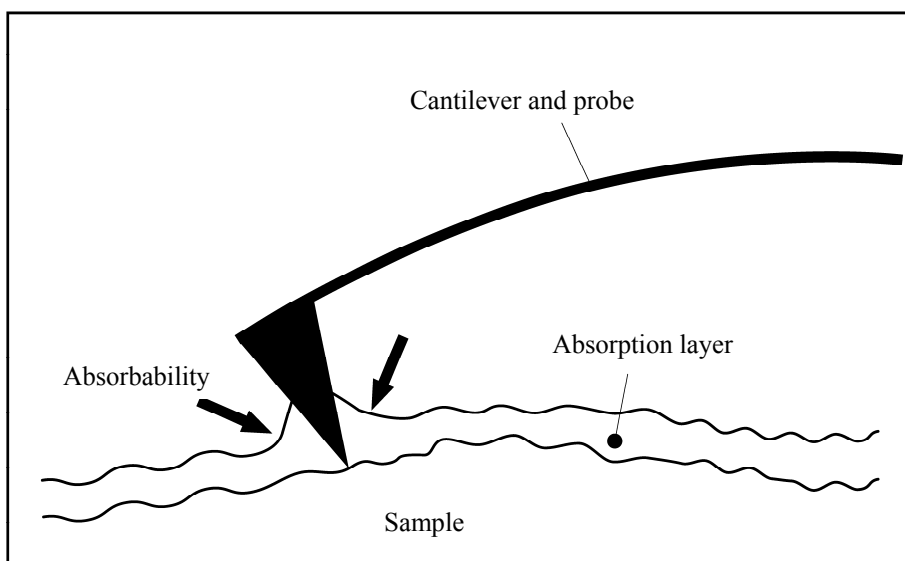
## 4.11 Roughness

### 4.11.1 Atomic Force Microscope (AFM)

- a) **Measuring principle and method** As shown in **Fig. 25**, this is a method which contacts a cantilever with a probe on a wafer surface with a minute force, scans the cantilever, reads the displacement of cantilever by means of an optical technique etc., and obtains two-dimensional information on concavity and convexity of the wafer surface. This method includes the followings. They are: a method to scan the distance between a probe and a specimen by controlling to keep the deflection of the cantilever constant, and a method to scan the distance between a probe and a specimen by controlling to keep the vibration amplitude of the resonated

cantilever, as well as a dynamic mode (which is also called as AC mode, dynamic force mode, dynamic mode, tapping mode, etc.).

- b) Points to keep in mind** Attention must be paid to the shape (dimensions) of tip of probe, and it is necessary to select a suitable contact method (contact mode, non-contact mode, tapping mode) based on evaluation object.
- 1) **Contact mode** As the tip of cantilever will contact with surface of specimen, there is a feature that evaluation at direct atomic size order is available. However, there are cases where the surface of specimen may be scratched and attention must be paid to arrangement such as selection of a spring constant of the cantilever upon evaluating soft specimens. In some cases, the static charge due to the cat whisker on insulating film will affect the data.
  - 2) **Non-contact mode** This is an observation mode to detect the atomic force from non-contact distance by vibrating the cantilever at a frequency close to resonance frequency (a few 10 kHz to a few 100 kHz). This method damages specimens only slightly, and can observe accurately the top surface of relatively soft specimens. However, this is non-contact observation and the top surface is an absorption layer structure. Therefore, observation is apt to be affected by the surface absorption layer.
  - 3) **Tapping mode** In this method, the cantilever will be vibrated at a frequency close to the resonance frequency, and concavity and convexity images will be obtained by scanning the cantilever and by lightly touching (tapping) on the surface of a specimen intermittently. Compared with the non-contact method, measurements with high spatial resolution will be available. Unlike the contact mode, a probe will contact with the surface of a specimen intermittently and there will be no horizontal force (friction force). As a result, the displacement of cantilever due to friction will not be mixed in the concavity and convexity images, and it will facilitate measurement without damaging soft specimen. On this account, this is recommendable for measuring specimens with a thick surface absorption layer and with easily chargeable specimens. This is also called as the cyclic contact (periodic contact) mode.



**Fig. 25— Cantilever with a probe**

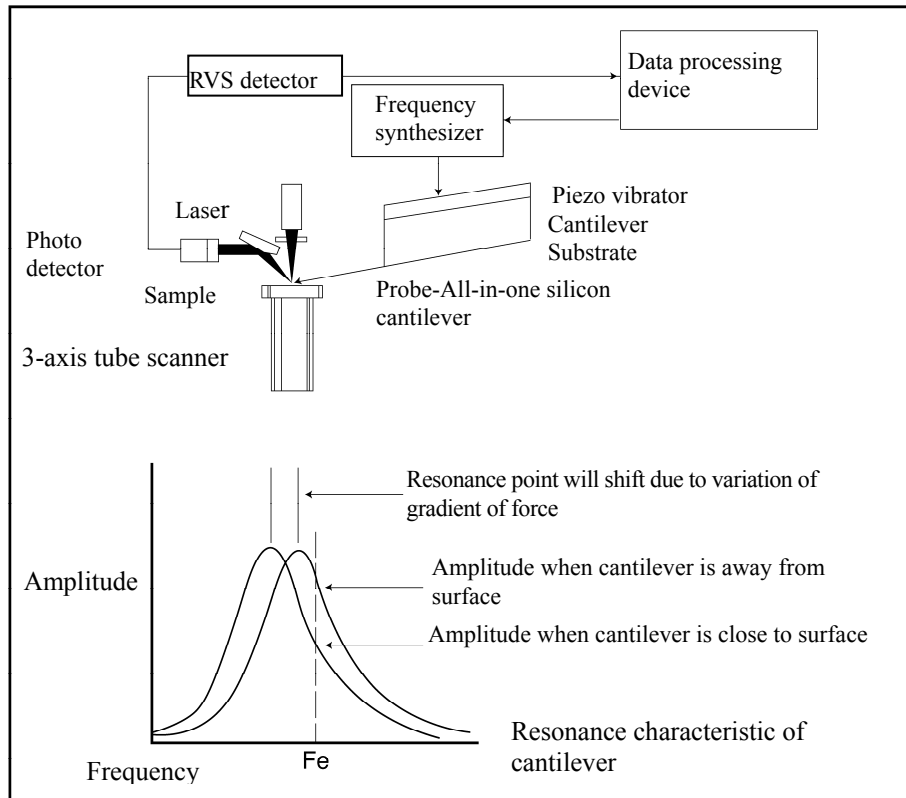


Fig 26— Atomic force microscope

c) **Recommended measuring method, measuring area, number of measuring points and calibration method**

In this Standard, the contact mode or tapping mode in AFM (Atomic Force Microscope) method is recommended for evaluation of roughness.

As the results of evaluation by AFM, "size of measuring area" and "Root-mean-square (RMS) roughness" in the area shall be shown. Presenting evaluation results for both  $2\ \mu\text{m} \times 2\ \mu\text{m}$  and  $10\ \mu\text{m} \times 10\ \mu\text{m}$  "measuring sizes" are recommended.

As for the number of measuring points, at least two points are recommended. One is the point near the center area of a wafer, and the other is the point near the circumference at about 10 mm inside from the wafer edge.

However, based on the agreement between supplier and user sides, "Root-mean-square (RMS) roughness" may be replaced by "Average roughness on centerline (Ra)". In addition, when there is distribution of roughness in a plane depending on the manufacturing method of SOI wafers, the measuring area and the number of measuring points may be determined separately.

Calibration of evaluation equipment and data shall be performed in accordance with **JEITA EM-3501** or based on the reference specimens that have traceability to the national standards and the international standards recommended by equipment manufacturers.

## Explanation for standard of SOI wafers and metrology

The following description have been compiled to describe the matters provided in the standard proper and their associated matters, and is not part the standard.

### 1 Objective of establishing this standard and the intent of this revision

#### 1.1 Purpose of establishment

The orientation in Si-LSI technology toward lower power consumptions and faster drives is becoming more apparent all the time. We are now also entering the post-scaling age. Previously, scaling technologies were employed to reduce the physical size of LSI component devices. But in the post-scaling age, we can no longer look forward to further LSI performance gains with scaling technologies alone. SOI, then, is an important technology for the post-scaling age since it delivers performance improvements without requiring miniaturization. The objective of this standard is to create a standard specification of thin-film SOI wafers for MOS devices and, in this way, contribute to the advancement of SOI technology while lowering the costs of developing and manufacturing wafers, devices, and related equipment.

#### 1.2 Intent of this revision

The scope of both **JEITA EM-3603 Standard of SOI wafers and metrology** (September 2003) and the revised **JEITA EM-3603A** (June 2005) was stated as SOI film thicknesses between 20 nm and 200 nm. Nevertheless, both standards contained certain specifications that were limited to thickness of 50 nm and greater. Moreover, some entries in the specification tables consisted of only item names and measurement methods and left the provisions blank. These omissions remained in the standards since it was difficult to create a specification both users and suppliers could agree to, given the limitations of the general level of evaluation and measurement technology existing at the time the standards were formulated.

Consequently, the SOI and Related Wafer Technologies Subcommittee, in cooperation with five wafer manufacturers and 14 evaluation and measurement device manufacturers, began in 2004 performing round-robin measurements to survey the status of and issues with evaluation and measurement technologies for ultra-thin SOI wafers. In this revision of the standard, omitted specifications were determined through new deliberations on undefined items based on the results of the round-robin measurements.

### 2 Fundamental policy

The basic policy of this revision was to stipulate the usage of items (1) to (4) below, which were not defined for SOI film thicknesses of 50 nm or less, and item (5), which was left blank, in JEITA EM-3603 and JEITA EM-3603A. Other descriptions were revised as necessary in tandem with these provisions.

- 1) SOI layer thickness (average value)
- 2) SOI layer thickness (variation over surface)
- 3) SOI etch pits
- 4) HF defects
- 5) Particles

However, this Standard is to standardize the minimal quality characteristic values based on requests from

companies that manufacture or supply MOS devices, and it does not specify items that require more strict quality characteristics for functions and performance of devices.

### 3 Main revision areas

This revision fills in provisions for the specifications previously left incomplete or blank in Tables 1 and 2 in Section 3 “Standard of SOI wafers.” In accordance with these new provisions, changes were made to descriptions in Section 5 “Standard measuring method” where necessary.

**EM-3603A** and earlier versions defined and recommended laser marking areas on SOI wafers, but all provisions on board edge processes, including laser marking, have been removed from this revision.

## 4 Discussions

### 4.1 Review process

The standardization of SOI wafers began in March 1996 with **JEIDA-50-1996**, formulated by the JEIDA Multi-layer Integration Technology Technical Committee, and continued with the revision **JEIDA-50-1998** in September 1998, which has carried on to the present time. On the other hand, demands for faster, lower power MOS devices had led to mass production of 300-mm-diameter SOI wafers, driven by the push for ultra-thin SOI wafers and the trend toward large-bore wafers. As demands rose for standardization of specifications of these ultra-thin/large-diameter SOI wafers, the WG for “Standard of SOI wafers and standard measuring method (Chair: Katsutoshi Izumi) was established under the JEITA Multi-layer Integration Technology Technical Committee in November 2001. This working group began work on establishing new provisions for standard specifications and standard measurement methods for ultra-thin SOI wafers. The framework of these provisions was determined at a SOI panel discussion set up by the Multi-layer Integration Technology Technical Committee in February 2002. This framework passed through a focused debate at the working group in November of the same year before being approved as a standard draft by the Multi-layer Integration Technology Technical Committee in March 2003. The Silicon Technologies Committee deliberated on the draft in writing and endorsed the final standard in September 2003. At the same time, portions of **JEIDA-50-1998** related to high-withstand-voltage/power device applications of SOI wafers were taken and issued as a separate standard, **JEITA EM-3604**, in June 2005. Additions were made to **JEITA EM-3603** based on TSC-15 (guidelines on standardization involving industrial property rights) in June 2005, leading to the present **JEITA EM-3603A** standard.

### 4.2 History of the revisions

At the time of their publication, both **JEITA EM-3603** and **JEITA EM-3603A** included certain unresolved areas in items stipulating the scope and specifications of the standard and in items forming part of the actual specifications. These omissions remained in the standards since it was difficult to create a specification both users and suppliers could agree to, given the limitations of the general level of evaluation and measurement technology existing at the time the standards were formulated. In one sense, issuing the past standards in full knowledge that they were incomplete was done deliberately. The standardizing committee recognized that in order to assist the development of SOI technology, which is undergoing intense progress, it was necessary to make occasional contributions to technical innovation by providing the most complete standard to the extent possible at the current time and continuing to add constant revisions. Consequently, these revisions were already anticipated at the time this standard was created. To this end, in 2004, shortly after the publication of the original standard, the committee began performing round-robin

measurements to survey the status of and issues with evaluation and measurement technologies for ultra-thin SOI wafers. The results of these surveys were eventually taken and incorporated in this present revision.

As evidenced by the course of these revisions, JEITA is committed to future revisions in a timely manner to keep abreast of progress in SOI technology.

Another issue for this revision was the discovery of patent conflicts in part of the provisions standardized in **EM-3603**. Numerous consultations found that separate licensing agreements were necessary for technology related to laser marking areas. The standardizing committee decided to remove these provisions from the standard, since in principle standardized recommendations cannot directly support the commercial activities of part of the organization and since an evaluation of the provisions' necessity determined they were not absolutely essential to the standard. A note was kept, however, about the corresponding patents in Section 5 on the management of industrial property rights. This note was retained for posterity to show that provisions on laser mark areas had been considered previously in the standardization process.

This revision of the standard was presented as a draft to the SOI and Related Wafer Technologies Subcommittee in February 2006. Approval proceedings were completed in April 2006 with the post-examination of the English translation. The draft underwent a formal written deliberation at the Silicon Technologies Committee before being approved in June 2006 and issued in June 2006.

## 5 Management of industrial properties, etc.

Canon Inc. and Shin-Etsu Handotai Co., Ltd. have patents or patents pending on these standards. The two companies have announced their conditions for licensing those patents or patents pending as shown below. For charged licenses, those who would like to acquire such licenses to use the above-mentioned patents or patents pending are requested to negotiate individually with the patent owners or the applicants of the patents pending

Patent owner or applicant of patent pending	Title	Number of industrial property right, etc.	Conditions for licensing	Remarks
Canon Inc.	Semiconductor board and method of manufacturing it	Patent Application No. 2001-257139	This industrial property right, etc., is licensed on reasonable and non-discriminatory conditions.	This industrial property right, etc., is licensed in any case on the condition that the licensed shall permit us to use its own industrial property right, etc., within the same scope and on the same conditions as this industrial property right, etc., is licensed.
Shin-Etsu Handotai Co., Ltd.	Method of evaluating crystal defects of SOI wafers, and etching liquid	Patent Application No. 2004-235350	This industrial property right, etc., is licensed on a non-charged and non-discriminatory basis.	



These revisions do not necessarily guarantee that there is no relevant industrial property rights, etc., other than the above. JEITA assumes no responsibility concerning any industrial property rights, etc., related to these standards.

## 6. Committee member

### Technical Standardization Committee on Electronic Materials

Chairman	Naoyuki Ishigaki	NEOMAX Co., Ltd.
----------	------------------	------------------

### Silicon Technologies Committee (As of June, 2006)

Chairman	Michio Tajima	ISAS / JAXA
Co-Chairman	Toshihiko Kanayama	National Institute of Advanced Industrial Science and Technology.
Co-Chairman	Hiroshi Koyama	JEOL Ltd.
Member	Naohisa Inoue	Osaka Prefecture University.
Member	Atsushi Ogura	Meiji University.
Member	Morimasa Miyazaki	SUMITOMO MITSUBISHI SILICON CORPORATION.
Member	Tetsuo Fukuda	FUJITSU LIMITED.
Member	Yukio Matsumoto	Accent Optical Technologies Co., Ltd.
Member	Tomohisa Kitano	NEC Electronics Corporation.
Member	Kazuto Hirokawa	Ebara Corporation.
Member	Kohei Eguchi	MEMC Japan Ltd.
Member	Eiji Uchida	Oki Electronic Industry Co., Ltd.
Member	Kenichi Shindo	KURODA Precision Industries Ltd.
Member	Yasuhide Nakai	Kobelco Research Institute, Inc.
Member	Mitsuo Kohno	Komatsu Electronic Metals Co., Ltd.
Member	Noriaki Shinohe	Siltronic Japan Co., Ltd.
Member	Takao Takenaka	Shin-Etsu Handotai Co., Ltd.
Member	Ritsuo Takizawa	Sony Corp.
Member	Seiji Fujino	DENSO CORPORATION.
Member	Moriya Miyashita	Toshiba Corp.
Member	Yoshiaki Matsushita	Toshiba Ceramics Co., Ltd.
Member	Hisashi Isozaki	TOPCON CORPORATION.
Member	Masanori Yoshise	JAPAN ADE LTD.
Member	Masaharu Watanabe	SEZ Japan.
Member	Sadao Nakajima	Hitachi Kokusai Electric Inc.
Member	Yoshihiro Arimoto	Fujitsu Laboratories Ltd.
Member	Keiichi Yoshizumi	Matsushita Electric Industrial Co., Ltd.
Member	Hiroshi Ohishi	Matsushita Electric Industrial Co., Ltd.
Member	Hisashi Katahama	SUMITOMO MITSUBISHI SILICON CORPORATION.
Member	Naoyuki Kawai	Renesas Technology Corp.
Member	Hideo Sakai	RAYTEX CORPORATION.

Adviser	Yasuo Tarui	The Takeda Foundation.
Secretariat	Makoto Nakase	Japan Electronics and Information Technology Industries Association.
Secretariat	Akira Yoshida	Japan Electronics and Information Technology Industries Association.

**SOI and Related Wafer Technologies Subcommittee (As of June, 2006)**

Chairman	Atsushi Ogura	Meiji University.
Co-Chairman	Yuichi Kado	Nippon Telegraph and Telephone Corporation
Co-Chairman	Jiro Ida	Oki Electronic Industry Co., Ltd.
Co-Chairman	Atsuki Matumura	Siltronic Japan Co., Ltd.
Co-Chairman	Kiyoshi Mitani	Shin-Etsu Handotai Co., Ltd.
Co-Chairman	Hiroshi Kiguchi	JAPAN ADE LTD.
Co-Chairman	Nobuyoshi Hattori	Renesas Technology Corp.
Member	Seiichiro Kawamura	National Institute of Advanced Industrial Science and Technology.
Member	Masami Tanaka	Accent Optical Technologies Co., Ltd.
Member	Tomohiko Tomiyama	NEC Electronics Corporation.
Member	Hidetoshi Yanai	MEMC Japan Ltd.
Member	Shingo Sumie	Kobelco Research Institute, Inc.
Member	Yoshiji Miyamura	Komatsu Electronic Metals Co., Ltd.
Member	Noriyuki Iwamori	DENSO CORPORATION.
Member	Akio Nakagawa	Toshiba Corp.
Member	Hiroharu Izunome	Toshiba Ceramics Co., Ltd.
Member	Hisashi Isozaki	TOPCON CORPORATION.
Member	Masaharu Watanabe	SEZ Japan.
Member	Sadao Nakajima	Hitachi Kokusai Electric Inc.
Member	Naoki Kotani	Matsushita Electric Industrial Co., Ltd.
Member	Keishi Kubo	Matsushita Electric Industrial Co., Ltd.
Member	Kazuhiro Yamamoto	SUMITOMO MITSUBISHI SILICON CORPORATION.
Guest Member	Katsutoshi Izumi	Osaka Prefecture University.
Guest Member	Michio Tajima	ISAS / JAXA
Guest Member	Hiroshi Koyama	JEOL Ltd.
Secretariat	Akira Yoshida	Japan Electronics and Information Technology Industries Association.

(社)電子情報技術産業協会が発行している規格類は、工業所有権（特許，実用新案など）に関する抵触の有無に関係なく制定されています。

(社)電子情報技術産業協会は、この規格類の内容に関する工業所有権に対して、一切の責任を負いません。

J E I T A E M - 3 6 0 3 B

2006年6月発行

発行 (社)電子情報技術産業協会 標準・技術部  
〒101-0062 東京都千代田区神田駿河台 3-11  
TEL 03-3518-6434 FAX 03-3295-8727

印刷 (有)ウイード  
〒162-0041 東京都新宿区早稲田鶴巻町 556  
TEL 03-3513-5751 FAX 03-3513-5752

**禁 無 断 転 用**

〔 この規格類の全部又は一部を転載しようとする場合は、発行者の許可を得てください。 〕